

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-110684

(43) 公開日 平成6年(1994)4月22日

(51) Int. C1. 5 識別記号 庁内整理番号 F I 技術表示箇所
G 06 F 9/38 3 3 0 B 9193-5 B
3 7 0 X 9193-5 B

審査請求 有 請求項の数 12

(全 35 頁)

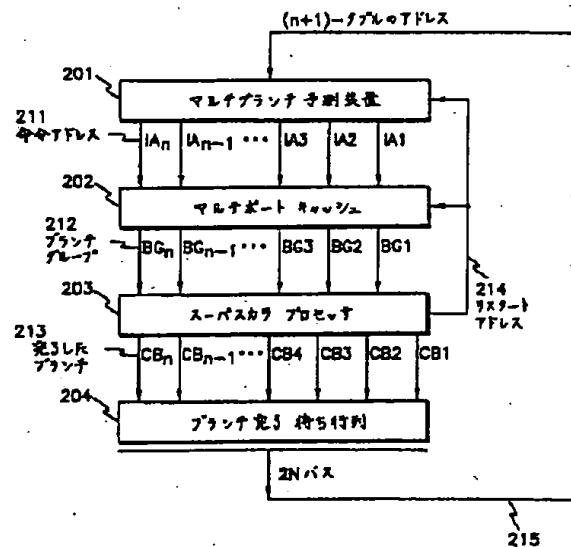
(21) 出願番号 特願平5-162902
(22) 出願日 平成5年(1993)6月30日
(31) 優先権主張番号 928851
(32) 優先日 1992年8月11日
(33) 優先権主張国 米国 (U.S.)

(71) 出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレイション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)
(72) 発明者 フィリップ ジョージ エマ
アメリカ合衆国 06811 コネチカット州
ダンベリー フォックス デン ロード
28
(74) 復代理人 弁理士 谷 義一 (外3名)
最終頁に続く

(54) 【発明の名称】スーパスカラ処理システムおよび方法

(57) 【要約】

【目的】 同時に予測を行う。
【構成】 前のブランチ命令のブランチアドレスからストアアドレスを生成し、マルチブランチヒストリーテーブルのエントリであって、前のブランチ命令に対応するエントリであり、しかも、ブランチアドレスを含むとともに、複数のブランチ命令のそれぞれの前の目標アドレスを含むエントリを前記ストアアドレスを用いてストアし、エントリをマルチブランチヒストリーテーブルから検索し複数のブランチ命令のそれぞれに対して、前記エントリの前の目標アドレスを前記予測された未来目標アドレスとして適用する。



【特許請求の範囲】

【請求項1】 複数のプランチ命令に対してそれぞれ未来目標アドレスを同時に予測する方法であり、前記複数のプランチ命令が前の実行で前のプランチ命令に順次従った方法であって、

前記前のプランチ命令のプランチアドレスからストアアドレスを生成するステップと、

マルチプランチヒストリーテーブルのエントリであって、前記前のプランチ命令に対応するエントリであり、しかも、プランチアドレスを含むとともに、前記各プランチ命令の前の目標アドレスを含むエントリを前記ストアアドレスを用いてストアするステップと、

前記エントリを前記マルチプランチヒストリーテーブルから検索するステップと、

前記各プランチ命令に対して、前記エントリの前の目標アドレスを前記予測された未来目標アドレスとして適用するステップとを備えたことを特徴とする方法。

【請求項2】 スーパスカラプロセッサの命令キャッシュに結合されたシステムであり、複数のプランチ命令を同時に予測し、前記予測を用いて、前記命令キャッシュに置かれる命令のプランチグループを取り出すシステムであって、

(a) 第1の複数のプランチ命令の目標アドレスを、前記第1の複数のプランチ命令の実行ヒストリに基づき同時に予測する1次マルチプランチヒストリーテーブル手段と、

(b) 該1次マルチプランチヒストリーテーブル手段に対して少なくとも1プランチ命令だけ遅れ、第2の複数のプランチ命令の目標アドレスを、前記第2の複数のプランチ命令の実行ヒストリに基づき同時に予測し、前記1次マルチプランチヒストリーテーブル手段による予測に際してダイバーゼンスを検知するために用いられる2次マルチプランチヒストリーテーブル手段と、

(c) 該2次マルチプランチヒストリーテーブル手段と前記1次マルチプランチヒストリーテーブル手段とに結合され、該1次マルチプランチヒストリーテーブル手段による予測と、前記2次マルチプランチヒストリーテーブル手段による予測とを比較し、ダイバーゼンスを検知する比較手段と、

(d) 前記1次マルチプランチヒストリーテーブル手段と前記2次マルチプランチヒストリーテーブル手段とに結合され、前記1次マルチプランチヒストリーテーブル手段と前記2次マルチプランチヒストリーテーブル手段の前記実行ヒストリを、スーパスカラプロセッサにより実行されたプランチ命令の系列の結果に基づき更新する更新手段とを備えたことを特徴とするシステム。

【請求項3】 請求項2に記載のシステムにおいて、前記1次および第2マルチプランチヒストリーテーブル手段は、それぞれ、マルチプランチヒストリーテーブルを備え、該マルチプランチヒストリーテーブルのエントリは、

前に実行されたプランチ命令に対応し、前記前に実行されたプランチ命令の次の複数のプランチ命令のプランチおよび目標アドレスを前の実行から指定することを特徴とするシステム。

【請求項4】 請求項2に記載のシステムにおいて、前記更新手段は、

(e) 前記1次マルチプランチ予測手段による予測を表すアドレスを保持する1次保留予想待ち行列と、

(f) 前記2次マルチプランチ予測手段による予測を表すアドレスを保持する2次保留予想待ち行列と、

(g) 前記スーパスカラにより実際行われるプランチを表すアドレスを保持する更新待ち行列と、

(h) 該更新待ち行列に保持された前記アドレスと、前記1次および2次保留予想待ち行列に保持された予測を表す前記アドレスとを比較し、前記1次および2次プランチヒストリーテーブルにそれぞれ対する不必要な更新をフィルタアウトする第2比較手段とを備えたことを特徴とするシステム。

【請求項5】 複数のプランチ命令を同時に予測し、多重性の高い命令をデコードし実行するプロセッサより用いるため、その予測を用いて複数の非結合命令系列を同時に取り出すシステムであって、

(a) 前記プロセッサに結合され、少なくとも2つのプランチを行う命令の系列を記述するレコードを受信する更新待ち行列であって、前記レコードは少なくとも3つのアドレスを有し、前記複数のアドレスは前記複数のプランチを行う命令により接続された複数の非結合命令系列を識別し、前記複数のアドレスは第1部分および第2部分を含み、前記第1部分は開始アドレスであり、前記第2アドレスは残りの複数のアドレスであり、前記第1部分は第1命令系列を識別し、前記第2部分は前記複数の非結合系列の残りの複数の命令系列を識別する更新待ち行列と、

(b) 前記更新待ち行列に結合されたマルチプランチヒストリーテーブルであって、前記更新待ち行列からの前記レコードを受信し、しかも、前記レコードの前記第2部分を、将来使用するため、前記マルチプランチヒストリーテーブルの場所であって、前記レコードの前記第1の部分により決定された場所にストアするマルチプランチヒストリーテーブルと、

(c) 前記プロセッサと前記マルチプランチヒストリーテーブルに結合され、前記プロセッサからの命令アドレスを受信する事前取り出しアドレスレジスタであり、前記レコードの前記前にストアされた第2部分の前記マルチプランチヒストリーテーブルからの読み出しを、前記命令アドレスに対応してイネーブルにする事前取り出しアドレスレジスタであって、前記前にストアされた前記第2部分が前記プロセッサにより受信される事前取り出しアドレスレジスタと、

(d) 前記マルチプランチヒストリーテーブルと前記事前取

り出しアドレスレジスタに結合された保留予想待ち行列であって、前記事前取り出しアドレスレジスタからの前記命令アドレスを、前記マルチプランチヒストリーテーブルからの前記読み出しを用いて受信リストアする保留予想待ち行列であり、前記命令アドレスは前記読み出しを有するとともに、前記プロセッサにより前に実行された複数の非結合命令系列を識別する複数のアドレスよりも、前記複数がヒストリのレコードである保留予想待ち行列と、

(e) 前記保留予想待ち行列と前記更新待ち行列とに結合され、前記保留予想待ち行列からの前記ヒストリのレコードと、前記更新待ち行列により受信された前記レコードとを比較する比較器であって、前記保留予想待ち行列からの前記ヒストリのレコードと、前記更新待ち行列により受信された前記レコードとが一致しない場合にのみ、前記更新待ち行列により受信された前記レコードを前記更新待ち行列にストアすることができるシグナルを供給する比較器とを備えたことを特徴とするシステム。

【請求項6】 請求項5に記載のシステムにおいて、前記プロセッサからの前記命令アドレスと前記マルチプランチヒストリーテーブルからの前記読み出しの部分を受信するセレクタ手段であって、前記プロセッサからの前記命令アドレスか、あるいは、前記読み出しの前記部分かのいずれかを選択し、しかも、前記選択を前記事前取り出しアドレスレジスタに経路指定するセレクタ手段をさらに備えたことを特徴とするシステム。

【請求項7】 複数のプランチ命令を同時に予測し、多重性の高い命令をデコードし実行するプロセッサにより用いるためその予測を用いて複数の非結合命令系列を同時に取り出すシステムであって、

第1の複数のプランチを予測するための1次マルチプランチヒストリーテーブルと、

第2の複数のプランチを予測するための2次マルチプランチヒストリーテーブルであって、前記第2の複数のプランチが前記第1の複数のプランチからの少なくとも1つのプランチ命令によりオフセットされる2次マルチプランチヒストリーテーブルと、

前記第1の複数の予測されたプランチが正しいか否かを判定する手段と、

前記第1の複数の予測されたプランチが正しい場合、前記第1の複数の予測されたプランチを選択する手段とを備えたことを特徴とするシステム。

【請求項8】 請求項7に記載のシステムにおいて、前記1次マルチプランチヒストリーテーブルは、

第1の1次プランチグループと第2の1次プランチグループをそれぞれ含むエントリと、

前記1次プランチグループを、前記第1の1次プランチグループからの目標アドレスか、あるいは、前記1次マルチプランチヒストリーテーブルからの前記第2の1次プランチグループからの目標アドレスに基づき、選択する

手段とを備えたことを特徴とするシステム。

【請求項9】 請求項7に記載のシステムにおいて、前記判定手段は、前記1次マルチプランチヒストリーテーブルからの前記選択されたエントリの第2の1次プランチグループと、前記2次マルチプランチヒストリーテーブルからの前記選択されたエントリの第1の2次プランチグループとを比較する手段を備えたことを特徴とするシステム。

【請求項10】 請求項7に記載のシステムにおいて、

10 前記選択手段は、

前記1次マルチプランチヒストリーテーブルからの前記選択されたエントリの前記第2の1次プランチグループと、前記第2のマルチプランチヒストリーテーブルからの前記選択されたエントリの前記第1の2次プランチグループとを比較した結果、等しい場合、前記選択されたエントリを、前記1次マルチプランチヒストリーテーブルから選択する手段と、

前記1次マルチプランチヒストリーテーブルからの前記選

20 挙されたエントリの前記第2の1次プランチグループと、前記第2のマルチプランチヒストリーテーブルからの前記選択されたエントリの前記第1の2次プランチグループとを比較した結果、等しくない場合、前記選択されたエントリを、前記2次マルチプランチヒストリーテーブルから選択する手段とを備えたことを特徴とするシステム。

【請求項11】 複数のプランチ命令を同時に予測し、多重性の高い命令を同時にデコードし実行するプロセッサにより用いるため、前記複数の予測を用いて、複数の非結合命令系列を取り出す方法であって、

30 (1) 前記プロセッサに結合された更新待ち行列の少なくとも2つのプランチを行う命令を記述する記録を受信するステップであって、前記レコードは少なくとも3つのアドレスを備え、前記複数のアドレスは前記複数のプランチを行う命令により接続される複数の非結合命令系列を識別し、前記複数のアドレスは第1部分と第2部分を含み、前記第1部分は開始アドレスであり、前記第2部分は残りの複数のアドレスであり、前記第1部分は第1命令待ち行列を識別し、前記第2部分は前記複数の非結合命令待ち行列のうちの複数の残りの命令待ち行列を識別するステップと、

(2) 前記更新待ち行列に結合され、マルチプランチヒストリーテーブルの前記更新待ち行列からの前記レコードを受信し、将来使用するため、前記レコードの前記部分を、前記マルチプランチヒストリーテーブルの場所であって、前記レコードの前記第1部分により決定された場所にストアするステップと、

(3) 前記プロセッサからの命令アドレスを事前アドレスレジスタで受信するステップであって、前記レコードの前記前にストアされた第2部分の前記マルチプランチヒストリーテーブルからの読み出しをイネーブルにし、前記

前にストアされた第2部分が前記プロセッサにより受信されるステップと、

(4) 前記事前取り出しあドレスレジスタからの前記命令アドレスを、前記マルチプランチヒストリーテーブルからの前記読み出しとともに保留予想待ち行列にストアするステップであって、前記命令アドレスは、前記読み出を有するとともに、前記プロセッサにより前に実行された複数の非結合命令系列を識別する複数のアドレスよりもなるステップと、

(5) 前記ヒストリのレコードと前記更新待ち行列により受信された前記レコードとを比較器で比較し、しかも、前期保留予想待ち行列からの前記ヒストリのレコードと、前記更新待ち行列により受信された前記レコードとが一致しない場合にのみ、前記待ち行列により受信された前記レコードを前記更新待ち行列にストアすることができるシグナルを供給するステップとを備えたことを特徴とする方法。

【請求項12】 請求項11に記載の方法において、

(6) 前記プロセッサからの前記命令アドレスと、前記マルチプランチヒストリーテーブルからの前記読み出しの部分とを受信するステップと、

(7) 前記プロセッサからの前記命令アドレスか、あるいは前記読み出しの前記部分のいずれかを選択するステップと、

(8) 前記選択を前記事前取り出しあドレスレジスタに経路指定するステップとをさらに備えたことを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一連のプランチ結果を動的かつ同時に予測するシステムおよび方法に関する。特に、本発明は、一連の複数非結合命令セグメントを予測するシステムおよび方法であって、しかも、複数命令を並列にデコードし実行することができるスーパスカラプロセッサに命令系列を供給する並列記憶システムに対し、命令取り出しあドレスの対応する多重性を生成するシステムおよび方法に関する。

【0002】 なお、本明細書の記述は本件出願の優先権の基礎たる米国特許出願第07/928,851号の明細書の記載に基づくものであって、当該米国特許出願の番号を参照することによって当該米国特許出願の明細書の記載内容が本明細書の一部分を構成するものとする。

【0003】

【従来の技術】 適正な命令フローでは、命令は順次デコードされる。すなわち、命令は記憶装置の順次記憶場所から取り出されデコードされる。プランチ命令はこの命令フローを混乱させる命令である。すなわち、プランチにより、順次バス上でのデコーディングが中止され、記憶装置の新しい記憶場所から再開される。記憶装置の新しい記憶場所はプランチ目標アドレスと呼ばれる。命令

呼び出しが他の命令のデコーディングと実行とにオーバラップするので、プランチによりバイブライナーパフォーマンスが低下する。

【0004】 例えば、ステージが、i)命令デコード (DECで示す)、ii)オペランドアドレスに対するアドレス生成、プランチ命令の場合は、プランチ目標アドレスに対するアドレス生成、iii)オペランドを取り出すためのキャッシュアクセス (CACHEで示す)、プランチ命令の場合は、プランチ目標命令を取り出すためのキャッシュアクセス、iv)入力オペランドに対する機能オペレーションを、命令による指定通りに行う実行 (EXECで示す) であるバイブラインを考察する。図7はこのバイブラインの命令フローの一例を示す。

【0005】 図7に示すように、新しい命令を各サイクルでデコードして、4つの命令を同時にオペレーションの幾つかのフェーズにことができる。例えば、サイクル#4では、命令I1-I4は全てバイブラインにより処理される。プランチ命令がサイクル#5でデコードされたとき、デコーディングが停止される。プランチ目標アドレスをAGENにより計算しなければならない。しかも、目標命令がバイブラインに入る前に、(TARGETで示す) 目標命令CACHEから取り出さなければならない。

【0006】 この例では、プランチ命令 (BR) により、2つの空のスロットがバイブラインに生じる。これらのスロットは図7のEXECフェーズのサイクル9およびサイクル10の間に現れる。これらのサイクルでは、プロセッサにより有用なワークが行われておらず、よって、これらのサイクルでは、パフォーマンスが低下する。

【0007】 この例で用いた特定のプランチ命令は、最も重大でないプランチ命令である。このプランチ命令は無条件プランチと呼ばれる。というのは、このプランチ命令は、無条件で、プランチ命令 (BR) から目標命令 (TARGET) に転送されるからである。すなわち、プランチ命令がデコードされたとき、制御がTARGETに転送されることは公知である。パフォーマンスのコストがかかるプランチ命令は、条件付き命令である。この命令は、ある条件が成立した場合にのみ、TARGETへの制御転送を指定する。この条件は、通常、そのプランチの前の幾つかの命令の結果により判定される。

【0008】 上述した例では、条件付きプランチ命令により、サイクルという適正なペナルティがさらに1つ課されることになるであろう。というのは、条件付きプランチは、制御がTARGETに転送されるか否かを判定するため、実行 (EXEC) を完了しなければならない。制御がTARGETに転送されないとEXECにより判定された場合、プランチ後にデコードされた命令はそのプランチ後の (アドレスが) 次の順次命令である。従って、命令付きプランチ命令が取られないときでさえ、この例の

プランチに関連して3サイクルだけ適正に遅延する。

【0009】条件付きプランチ命令が取られないことをデコードタイムで判定することができる場合、そのプランチ命令に関してペナルティはないことに注意すべきである。すなわち、次の順次命令を、そのプランチ命令のデコード直後にデコードすることができることに注意すべきである。しかし、そのプランチ命令がとられたことがデコードタイムに判定された場合、2つのサイクルペナルティがそのプランチに関連する。すなわち、目標アドレスを生成しなければならない。そして、目標命令を取り出さなければならない。しかし、プランチが実行されるサイクルは省かれる。

【0010】条件付きプランチの結果をデコードタイムで予測しようとする機構は、「デコードタイム」予測機構と呼ばれる。このような機構が正確に予測する場合は、行わ(taken)れないプランチに対して3つのサイクルが省かれ、上述したバイブルで行われたプランチに対して1つのサイクルが省かれる。1つの特定の型のデコードタイムの予測は、米国特許第4,477,872号(発明者: Losq 他)と米国特許第4,430,706号(発明者: Sand)に記述されたように、「デコードヒストリーテーブル」と呼ばれる。

【0011】DHTはエントリのテーブルである。ここで、プランチ命令のアドレスを構成する複数ビットに対する変換(ハッシュまたは切り捨て)に基づき、エントリにアクセスされる。エントリ自身は単一のビットを備えている。最後にプランチ命令が実行されたとき、対応するプランチ命令がとられた場合、そのビットはセットされ、他方、対応するプランチ命令がとられない場合、そのビットはセットされない。条件付きプランチ命令がデコードされたとき、プランチ命令のアドレスを用いてDHFにアクセスされる。DHTエントリがセットされた場合、プランチがとられたことが予想(guess)され、目標アドレスが生成され、そして、目標命令が取り出され、そのプランチ命令がデコードされた後の第3サイクルでデコードされる(よって、1サイクルだけ遅延して保管される)。DHTエントリがセットされない場合は、そのプランチが行われないことが予想される。次の順次命令はプランチ命令のデコード後のサイクルでデコードされる。DHTが誤って予測されたことが分かる(すなわち、その予測と、EXECで計算されたプランチ結果とが一致しない)場合、対応するエントリは訂正される。従って、デコードタイム予測機構は、行われないプランチと関係する全てペナルティを回避する機会を提供し、同様に、行われたプランチに対する実行タイムペナルティ(典型的には、1サイクル)を回避する機会が提供される。プランチペナルティの減少が、用いられた特定デコードタイム機構の精度に依存する。しかし、100%の精度を有するデコードタイム機構でも、プランチペナルティを全て除去することはできない。

【0012】特に、プランチが行われたときはいつでも、ペナルティは目標アドレスを生成し、目標命令を取り出す時間に等しくなる。そのため、プランチペナルティを減少させる唯一の方法は、プランチ命令が実際にデコードと遭遇する前に、とられたプランチを予想(anticipate)し、目標命令を取り出すことである。このことを行おうとする機構は、「事前取り出しタイム予測機構」と呼ばれる。

【0013】上述したことでも明らかであるが、自治権のある事前命令取り出しエンジンが存在するものと仮定している。事前取り出しタイム予測機構が存在しない場合は、単一の事前取り出しエンジンは、i)順次命令アドレスをステップスルー(step through)するのに用いる単一のインクリメンタと、ii)命令デコーダによりデコードされる順次命令を保持する命令バッファと、iii)インクリメンタにより生成される順次アドレスを用いて命令の順次ロックをキャッシュから取り出し、その順次ロックを命令バッファに置く手段と、iv)取り出されたプランチ命令の場合に、新しい開始アドレス(例えば、プランチ目標アドレス)をインクリメンタに供給するプロセッサのための手段とを備えることができる。

【0014】「自治権がある」ということは、事前取り出しエンジンが自由走行し、命令デコーダから比較的独立していることを意味する。よって、行われたプランチがない場合は、命令バッファは、命令デコーダによりデコードされる次の順次命令を常に含むことになり、正確に予想(guess)された条件付きプランチであって、行われないプランチに対してペナルティはないことになる。

【0015】事前取り出しタイム予測機構は、(デコードタイム機構とは対象的なものであり、デコーダに関連してオペレートする)事前取り出しエンジンに組み込まれた機構である。事前取り出し機構は、自治権を有したまま、行われることが予測されたプランチの事前取り出しを行った直後に、事前取り出し命令をプランチ目標バスにリダイレクトしなければならない。そうすることにより、事前取り出しタイム機構は、プランチ命令がデコードされたときに、命令バッファがプランチ目標命令を含むことを保証する。この試みが成功した場合、プランチ目標命令をデコード命令またはプランチ命令直後にデコードすることができる。従って、事前取り出しタイム機構は、正確に予測したとき、行われたプランチに対してさえ、全てのプランチペナルティを除去する。

【0016】全てではないが、大部分の事前取り出しタイム予測機構は、米国特許第3,559,183号に最初に記述された「プランチヒストリーテーブル」(発明者: Sussen guth)の対する変形である。これは、上述したデコードヒストリーテーブルの事前タイムに類似するものである。すなわち、BHTはエントリのテーブルである。ここで、事前取り出しが行われている命令のロックのアドレスを構成するビットに対する変換(ハッシュまたは切

り捨て)に基づきエントリにアクセスされる。

【0017】次の3つの理由により、エントリ自身はBHTエントリよりはるかに複雑である。第1の理由としては、BHT機構は事前取り出しタイムにて「盲滅法」でオペレートする。すなわち、これらのブロックの内容を試験することができるという利点もなく、すなわち、命令デコーダの支援がなく命令のブロックを取り出すだけだからである。第2の理由は、非常に重要なことであるが、取り出しクォンタムが命令境界に必ずしも位置合わせしていない命令のブロックである。そのため、複数命令と命令フラグメントを含むことができる。取り出しクォンタムは単一の命令ではない。第3の理由は、BHT機構はブロック内に行われたブランチが存在することを予測したときは、BHT機構は予測目標アドレスを出力しなければならない。

【0018】従って、BHTエントリは、命令の関連するブロックが行われたブランチを含むことを、プロセッサがそのブロック内の行われたブランチに以前に遭遇したことに基づき、識別することができなければならぬ。さらに、BHTエントリは、ブロック内のどこに值行われたブランチ命令が駐在するかを識別することができなければならない。というのは、ブロックが入力された場所により、すなわち、現ブランチアクティビティにより、特定のブランチ命令が現命令取り出しに関係することができるか、あるいは関係することができないかからである。最後に、ブランチ目標アドレスを指定し、その結果、特定のブランチが現事前取り出しアクティビティに関係する場合、事前取り出しを直ちに目標バスにリダイレクトすることできなければならない。

【0019】ブランチを行うブランチ命令にプロセッサが遭遇したとき、そのプロセッサはブランチのアドレスに基づきBHTエントリを作成する。エントリ自身はブランチ目標アドレスを含むことになる。そのブランチを含むコードの特定のセクションに再び遭遇した場合、ブランチ命令が事前取り出しされたとき、事前取り出しは、BHTエントリにより、ヒストリの目標アドレスにリダイレクトすることができる。

【0020】BHTが事前取り出しをリダイレクトしたとき、BHTはプロセッサでのこのアクションに関する情報（例えば、BHTが行われたブランチの存在を「確信」するアドレスと、ブランチのアドレス）を待ち行列化する。事前取り出しされたコードをプロセッサが後で実行するように、BHTが正しいか否かを判定する機会がプロセッサには3回ある。BHTがそのブランチを正確に予想する場合、そのブランチに関係するペナルティは存在しないが、不正確な予測を行ったことに対して重大なペナルティを関係させることができる。（「予想(guess)」という用語と「予測」という用語は置換可能であり、その分野では同義語である。）プロセッサバイブルайнには、BWG (branch-wrong-guess)を検知するこ

とができる3つの時点が存在する。これらの時点とは、デコードタイム(DEC)と、アドレス生成タイム(AGEN)と、実行タイム(EXEC)とに存在する。

【0021】デコードタイム(DEC)では、BWGは2つの方法のうちの1つで明らかにできる。第1に、デコーダが無条件に行われたブランチに遭遇するが、BHTがこのブランチを示さない場合、BHTが誤ったことが知られる。この時点での適正なアクションは公式にそのブランチを実行することであり、しかも、新しいBHTエントリを作成し、ブランチの存在を示すことである。第2に、BHTが所定のアドレスで行われたブランチを示すが、このアドレスでデコードされた命令がブランチ命令でない場合、BHTがエラーであることが知られる。この時点での適正なアクションは、違反(offending)エントリをBHTから削除し、そのエントリの存在により影響された命令を事前に取り出す際にリダイレクトをアポートすることである。後者の例では、コードにブランチ命令がないときの命令事前取り出しをリダイレクトすることによるペナルティのサイクルを、BHTにより生じさせることができることに注意すべきである。

【0022】アドレス生成タイム(AGEN)にて、生成された目標アドレスがBHTにより予測され（しかも、プロセッサで待ち行列化され）た目標アドレスと同一でないか否かを、BWGは明らかにする。この時点での適正なアクションは、BHTエントリの目標アドレスを訂正し、誤った目標バスに向けられた命令事前取り出しを打ち切り、適正な目標バスに向けられた命令事前取り出しをリダイレクトすることである。

【0023】実行タイム(EXEC)にて、BWGの原因となることができるブランチのみが、条件付きブランチである。というのは、ブランチ条件のレゾリューション(resolution)がEXECの間でパフォームされるからである。BHTがこのようなことを示さないとき、ブランチが行なわれることをEXECが判定する場合か、あるいは、ブランチが行われたことをBHTが示すとき、ブランチが行われないことをEXECが判定する場合に、BWGが生じる。いずれの場合でも、適正なアクションはBHTを更新し、ブランチの新しいアクションを示すとともに、新しいアクションに従って命令事前取り出しをリダイレクトすることである。

【0024】これまでのところは、命令を1つづつデコードするバイブルайнプロセッサに説明を限定した。ブランチ命令はバイブルайнフローを崩壊させる崩壊力であることは明白であり、しかも、ヒストリ型予測機構がブランチに起因する遅延の多くを削除することができるることは明白である。

【0025】スーパスカラプロセッサでは、命令の多重性が同時にデコードされる（例えば、Johnson, M., Superscalar Microprocessor Design, Prentice Hall, Chap

ter 1-2, (1991) を参照。この書名を記載して本明細書の一部とする)。この分野では、ブランチのパフォーマンス・インプリケーションはさらに厳しい。特に、サイクルごとに多重命令デコードを維持するため、サイクルごとの多重命令取り出しを維持することは必要である。ブランチは命令取り出しプロセスを不安定にする主要な原因があるので、ブランチを確実に予測することは、妥当なスーパスカラ設計の要件である。

【0026】さらにまた重要なことであるが、ほとんどのプログラムは平均して3つないし5つの命令に対して1つのブランチ命令を有する。これは平均であり、しかも、分散が必ずしも均一ではないので、1つないし2つの命令当たり1つのブランチを含むコードが頻繁に生じる。ブランチは汎用のプログラムで普及しているので、全く堅固なスーパスカラプロセッサは、2つ以上のブランチ命令を同時に予測することができなくてはならないし、適正な命令事前取り出しを開始することができなくてはならない。

【0027】命令取り出しに関係するようなブランチ予測の例は、the abstract of "Limits on Multiple Instruction Issue" by Michael D. Smith, Mike Johnson, and Mark A. Horowitz in computer Architecture News, Vol. 17, No. 2, April 1989, pp. 290-302 に示されている。この要約には、次のように記載されている。

【0028】高度に適正化され、非科学的なアプリケーションにて、サイクル当たり2つ以上の命令を実行する実行レートを維持することができるプロセッサの設計を限定するものを調査したものである。我々は、トレースドライブ型(trace-driven)シミュレーションを用いて、これらのアプリケーションがサイクル当たり約2つの命令の命令レートを維持するのに充分な命令独立を含むか否かを判定する。簡単なインプリメンテーションでは、コストに関して考察し、1サイクルで3つ以上の命令をデコードすることに全く反する結論を下している。このような制約がある場合、実行ハードウェアが複雑であるためというより、命令取り出し効率により、命令レベルで到達できる並列性が制限されるからである。

【0029】"Future Direction"セクションでは、著者は次のように結論している。すなわち、困難なことは、実際には、ブランチの周波数と、記憶装置における命令のランダムな位置合わせとを与える実行装置により必要とされる命令帯域を提供することにある。典型的なパイプラインRISC型プロセッサの取り出し帯域要件を維持するのに必要な技法は、充分な解法をスーパスカラアーキテクチャを提供しないことである。

【0030】命令取り出し帯域が多重デコードを制限するという結論は、"Single Instruction Parallelism is Greater Than Two," by Michael Butler, Tse-Yeh, Yale Patt, Mitch Alsup, Hunter Scales and Michael Shabanow, Computer Architecture News, Vol. 19, No. 3,

pp. 276, May 1991 でさらに実証されている。その要約を記述する。

【0031】最近の研究によると、少ない並列性(サイクル当たり2オペレーション未満)が単一命令ストリームで利用可能である。利用可能な並列性の量がプロセッサの設計に影響を与えるので、並列性がどのくらい実際に存在するかを検証するのは困難である。この研究では、資源の制約を異ならせて、SPECベンチマークの実行をモデル化している。我々は前の研究者の仕事を繰り返し、我々は、我々が課したハードウェア資源制約にもとで、同様の結果を得たことを示す。一方、プログラムの意味論により必要とされる制約を除いて、全ての制約が除去されると、並列性の度合いがサイクル当たり17個を超える命令であることを見出だした。最後に、これは単一の命令ストリーム並列性を明らかにするには多分最も重要なことであるが、ハードウェアが適正に平衡を保ってある場合、今日の妥当な設計によるプロセッサ上でサイクル当たり2.0ないし5.8命令を維持することができることを示す。

【0032】この研究では、著者はサイクル当たり1つのブランチのみを処理するが、"Conclusions"セクションでは、著者は、「サイクル当たり複数のブランチを行うことは、利用可能な並列性の量を増加させることである。」と述べている。さらに、次のように述べている。すなわち、サイクル当たり2.0ないし5.8命令という結論は、ウインドウサイズと発行レートが制限されているが、今日妥当性があるものと見られた、制約されたデータフローエンジンから得られる。統合レベルと帯域幅が増加すると、それに対応して、ウインドウサイズと発行

レートが増加する。限界では、我々の境界のないウインドウサイズと発行レートマシン(UDF)は、17ないし1165個の範囲でサイクル当たりの命令を示す。これは(まだ)可能ではないと我々は言っているが、我々は、サイクル当たり5命令を優に超す数値を期待している。

【0033】1ブランチを超えるブランチを予測し、しかも、サイクル当たり1ブランチグループを超えるブランチグループを取り出す必要があるのは明らかである。ブランチグループは1つの命令例であり、その命令アドレスは順次であり、すなわち、非結合系列である。

【0034】そのため、全く堅固なスカラプロセッサは、同時に、1ブランチ命令を超えるブランチ命令を予測することができなくてはならないし、適正な命令事前取り出しを開始できなくてはならない。

【0035】

【課題を解決するための手段】条件付きブランチ命令は、プログラムの直線的実行を、前の計算の結果に基づき崩壊させる命令である。ブランチ命令が行われた場合、実行される次の命令は、実質的に後に来るブランチ命令ではない。その命令は、プログラムの別の部分から

50 来ることになる。

【0036】サイクル当たり1命令のみをデコードする従来のプロセッサでは、ブランチ命令は次の2つの理由によりパフォーマンスに対して充分関わりがある。第1の理由は、プロセッサは、ブランチを解決するのに用いられる計算の結果を留保するのを遅延させるのが典型的である。第2の理由は、ブランチが行われたとき、命令取り出しと命令実行の間のパイプラインで崩壊が生じる。というのは、命令取り出しが名目上次の順次プロセスであるからである。命令ストリームで単一のブランチを予測することに関係する現技法を拡張したものが存在する。これは、命令の幾つかを、單一デコードプロセッサで減少させるか、あるいは削除させることができる。

【0037】「スーパスカラプロセッサ」の分野では、命令の多重性を同時にデコードする試みが行われる。ブランチは典型的なプログラムでは広範囲に広まっており、しかも、幾つかのプログラムでは2命令ごとにブランチを生じさせることができるので、スーパスカラプロセッサを構築するという試みは今日まで制限されてきた。

【0038】文献の調査により、次のことが分かった。すなわち、ごく特別な場合を除き、1サイクルごとに2または3命令を超える命令をデコードするスーパスカラプロセッサを実際的にインプリメントすることが、ブランチ命令に固有のものによりできなくなるということは至極当然であることが分かった。この制限やその理由は至極当然であるが、これまでの問題に満足に答えることができる提案は何もなされてこなかった。多くの実践者はブランチ間の距離が多重コーディングを根本的に制限するものとみなしている。

【0039】本発明に係る新規の機構は上記の問題点を解決するものである。本発明は、実行プログラムでサイクル当たり複数のブランチの結果を同時に予測する手段を提供する。予測されるブランチの多重性は、そのプログラムで生じるブランチの論理系列を形成する。本発明により、ブランチの全系列を並列に予測して、複数命令のデコーディングを単一のブランチグループに制限しなければならないという古い制限が取り除かれる。

【0040】その結果、本発明はスーパスカラ処理のパフォーマンスを改善すると共に、非常に高度の多重デコーディングに対する必須の発明である。すなわち、本発明により、以前は不可能と言われた新しいレベルのスーパスカラ処理が可能である。本発明は、論理的に系列を形成する複数ブランチを同時に予測する。本発明は、さらに、予測ブランチ系列を構成する複数非結合命令取り出しを開始する。

【0041】本発明は、信頼できる多重予測および多重事前取り出しを行うため、提供されなければならない2つの概念的な要素をインプリメントする。第1に、多重ブランチヒストリーブル(MBHT)機構は、複数ブランチグループの情報を提供するエントリを維持する。

すなわち、MBHTエントリは、各エントリの2つ以上のブランチ命令のブランチと目標アドレスをストアすることにより、ブランチグループの系列を記述する。第2に、ヒストリのブランチ予測は完全ではないので、予測されたブランチ系列の予測確率は系列の長さとともに幾何学的に減少する。そのため、本発明は、予測された系列への異なるオフセットと並列に探索され、予測された系列内のダイバーゼンスをできるだけ早く検知する複数MBHT機構によりその精度を高く維持する。

10 【0042】次のようにすることができる。

【0043】1) 本発明に係る方法は、複数のブランチ命令に対してそれぞれ未来目標アドレスを同時に予測する方法であり、前記複数のブランチ命令が前の実行で前のブランチ命令に順次従った方法であって、前記前のブランチ命令のブランチアドレスからストアアドレスを生成するステップと、マルチブランチヒストリーブルのエントリであって、前記前のブランチ命令に対応するエントリであり、しかも、ブランチアドレスを含むとともに、前記各ブランチ命令の前の目標アドレスを含むエ

20 ントリを前記ストアアドレスを用いてストアするステップと、前記エントリを前記マルチブランチヒストリーブルから検索するステップと、前記各ブランチ命令に対して、前記エントリの前の目標アドレスを前記予測された未来目標アドレスとして適用するステップとを備えたことを特徴とする。

【0044】2) 本発明に係るシステムは、スーパスカラプロセッサの命令キャッシュに結合されたシステムであり、複数のブランチ命令を同時に予測し、前記予測を用いて、前記命令キャッシュに置かれる命令のブランチグループを取り出すシステムであって、(a) 第1の複数のブランチ命令の目標アドレスを、前記第1の複数のブランチ命令の実行ヒストリに基づき同時に予測する1次マルチブランチヒストリーブル手段と、(b) 該1次マルチブランチヒストリーブル手段に対して少なくとも1ブランチ命令だけ遅れ、第2の複数のブランチ命令の目標アドレスを、前記第2の複数のブランチ命令の実行ヒストリに基づき同時に予測し、前記1次マルチブランチヒストリーブル手段による予測に際してダイバーゼンスを検知するために用いられる2次マルチブランチヒストリーブル手段と、(c) 該2次マルチブランチヒストリーブル手段と前記1次マルチブランチヒストリーブル手段とに結合され、該1次マルチブランチヒストリーブル手段による予測と、前記2次マルチブランチヒストリーブル手段による予測とを比較し、ダイバーゼンスを検知する比較手段と、(d) 前記1次マルチブランチヒストリーブル手段と前記2次マルチブランチヒストリーブル手段とに結合され、前記1次マルチブランチヒストリーブル手段と前記2次マルチブランチヒストリーブル手段の前記実行ヒストリを、スーパス

30 カラプロセッサにより実行されたブランチ命令の系列の

40 (e) 前記1次マルチブランチヒストリーブル手段と前記2次マルチブランチヒストリーブル手段とに結合され、前記1次マルチブランチヒストリーブル手段と前記2次マルチブランチヒストリーブル手段の前記実行ヒストリを、スーパスカラプロセッサにより実行されたブランチ命令の系列の

結果に基づき更新する更新手段とを備えたことを特徴とする。

【0045】3) 上記2)に記載のシステムにおいて、前記1次および第2マルチプランチヒストリーテーブル手段は、それぞれ、マルチプランチヒストリーテーブルを備え、該マルチプランチヒストリーテーブルのエントリは、前に実行されたプランチ命令に対応し、前記前に実行されたプランチ命令の次の複数のプランチ命令のプランチおよび目標アドレスを前の実行から指定することを特徴とする。

【0046】4) 上記2)に記載のシステムにおいて、前記比較手段は、前記1次マルチプランチヒストリーテーブル手段により予測された前記目標アドレスと、前記2次マルチプランチヒストリーテーブルの対応する予測された目標アドレスとを比較する比較器を備えたことを特徴とするシステム。

【0047】5) 上記2)に記載のシステムにおいて、前記更新手段は、(e) 前記1次マルチプランチ予測手段による予測を表すアドレスを保持する1次保留予想待ち行列と、(f) 前記2次マルチプランチ予測手段による予測を表すアドレスを保持する2次保留予想待ち行列と、(g) 前記スーパスカラにより実際行われるプランチを表すアドレスを保持する更新待ち行列と、(h) 該更新待ち行列に保持された前記アドレスと、前記1次および2次保留予想待ち行列に保持された予測を表す前記アドレスとを比較し、前記1次および2次プランチヒストリーテーブルにそれぞれ対する不必要的更新をフィルタアウトする第2比較手段とを備えたことを特徴とするシステム。

【0048】6) 本発明に係るシステムは、複数のプランチ命令を同時に予測し、多重性の高い命令をデコードし実行するプロセッサより用いるためその予測を用いて複数の非結合命令系列を同時に取り出すシステムであって、(a) 前記プロセッサに結合され、少なくとも2つのプランチを行う命令の系列を記述するレコードを受信する更新待ち行列であって、前記レコードは少なくとも3つのアドレスを有し、前記複数のアドレスは前記複数のプランチを行う命令により接続された複数の非結合命令系列を識別し、前記複数のアドレスは第1部分および第2部分を含み、前記第1部分は開始アドレスであり、前記第2アドレスは残りの複数のアドレスであり、前記第1部分は第1命令系列を識別し、前記第2部分は前記複数の非結合系列の残りの複数の命令系列を識別する更新待ち行列と、(b) 前記更新待ち行列に結合されたマルチプランチヒストリーテーブルであって、前記更新待ち行列からの前記レコードを受信し、しかも、前記レコードの前記第2部分を、将来使用するため、前記マルチプランチヒストリーテーブルの場所であって、前記レコードの前記第1の部分により決定された場所にストアするマルチプランチヒストリーテーブルと、(c) 前記プロセッサと

前記マルチプランチヒストリーテーブルに結合され、前記プロセッサからの命令アドレスを受信する事前取り出しアドレスレジスタであり、前記レコードの前記前にストアされた第2部分の前記マルチプランチヒストリーテーブルからの読み出しを、前記命令アドレスに対応してイネーブルにする事前取り出しアドレスレジスタであって、前記前にストアされた前記第2部分が前記プロセッサにより受信される事前取り出しアドレスレジスタと、(d) 前記マルチプランチヒストリーテーブルと前記事前取り出

10 しアドレスレジスタに結合された保留予想待ち行列であって、前記事前取り出しアドレスレジスタからの前記命令アドレスを、前記マルチプランチヒストリーテーブルからの前記読み出しを用いて受信しストアする保留予想待ち行列であり、前記命令アドレスは前記読み出しを有するとともに、前記プロセッサにより前に実行された複数の非結合命令系列を識別する複数のアドレスよりなり、前記複数がヒストリのレコードである保留予想待ち行列と、(e) 前記保留予想待ち行列と前記更新待ち行列とに結合され、前記保留予想待ち行列からの前記ヒストリの20 レコードと、前記更新待ち行列により受信された前記レコードとを比較する比較器であって、前記保留予想待ち行列からの前記ヒストリのレコードと、前記更新待ち行列により受信された前記レコードとが一致しない場合にのみ、前記更新待ち行列により受信された前記レコードを前記更新待ち行列にストアすることができるシグナルを供給する比較器とを備えたことを特徴とするシステム。

【0049】7) 上記6)に記載のシステムにおいて、前記プロセッサからの前記命令アドレスと前記マルチプランチヒストリーテーブルからの前記読み出しの部分を受信するセレクタ手段であって、前記プロセッサからの前記命令アドレスか、あるいは、前記読み出しの前記部分かのいずれかを選択し、しかも、前記選択を前記事前取り出しアドレスレジスタに経路指定するセレクタ手段をさらに備えたことを特徴とするシステム。

【0050】8) 上記7)に記載のシステムにおいて、前記読み出しの部分は前記プランチを行う命令のうちのちょうど1つの目標アドレスであることを特徴とするシステム。

40 【0051】9) 本発明に係るシステムは、複数のプランチ命令を同時に予測し、多重性の高い命令をデコードし実行するプロセッサより用いるためその予測を用いて複数の非結合命令系列を同時に取り出すシステムであって、第1の複数のプランチを予測するための1次マルチプランチヒストリーテーブルと、第2の複数のプランチを予測するための2次マルチプランチヒストリーテーブルであって、前記第2の複数のプランチが前記第1の複数のプランチからの少なくとも1つのプランチ命令によりオフセットされる2次マルチプランチヒストリーテーブルと、前記第1の複数の予測されたプランチが正しいか否

かを判定する手段と、前記第1の複数の予測されたプランチが正しい場合、前記第1の複数の予測されたプランチを選択する手段とを備えたことを特徴とするシステム。

【0052】10) 上記9)に記載のシステムにおいて、前記1次マルチプランチヒストリーテーブルは、第1の1次プランチグループと第2の1次プランチグループをそれぞれ含むエントリと、前記1次プランチグループを、前記第1の1次プランチグループからの目標アドレスか、あるいは、前記1次マルチプランチヒストリーテーブルからの前記第2の1次プランチグループからの目標アドレスに基づき、選択する手段とを備えたことを特徴とするシステム。

【0053】11) 上記10)に記載のシステムにおいて、前記2次マルチプランチヒストリーテーブルは、第1の2次プランチグループと第2の2次プランチグループとをそれぞれ含むエントリと、該エントリのうちの1つを前記1次マルチプランチヒストリーテーブルから受信された目標アドレスに基づき選択する手段とを備えたことを特徴とするシステム。

【0054】12) 上記9)に記載のシステムにおいて、前記判定手段は、前記1次マルチプランチヒストリーテーブルからの前記選択されたエントリの第2の1次プランチグループと、前記2次マルチプランチヒストリーテーブルからの前記選択されたエントリの第1の2次プランチグループとを比較する手段を備えたことを特徴とするシステム。

【0055】13) 上記9)に記載のシステムにおいて、前記選択手段は、前記1次マルチプランチヒストリーテーブルからの前記選択されたエントリの前記第2の1次プランチグループと、前記第2のマルチプランチヒストリーテーブルからの前記選択されたエントリの前記第1の2次プランチグループとを比較した結果、等しい場合、前記選択されたエントリを、前記1次マルチプランチヒストリーテーブルから選択する手段と、前記1次マルチプランチヒストリーテーブルからの前記選択されたエントリの前記第2の1次プランチグループと、前記第2のマルチプランチヒストリーテーブルからの前記選択されたエントリの前記第1の2次プランチグループとを比較した結果、等しくない場合、前記選択されたエントリを、前記2次マルチプランチヒストリーテーブルから選択する手段とを備えたことを特徴とするシステム。

【0056】14) 本発明に係る方法は、複数のプランチ命令を同時に予測し、多重性の高い命令を同時にデコードし実行するプロセッサにより用いるため、前記複数の予測を用いて、複数の非結合命令系列を取り出す方法であって、(1) 前記プロセッサに結合された更新待ち行列の少なくとも2つのプランチを行う命令を記述する記録を受信するステップであって、前記レコードは少なくとも3つのアドレスを備え、前記複数のアドレスは前

記複数のプランチを行う命令により接続される複数の非結合命令系列を識別し、前記複数のアドレスは第1部分と第2部分を含み、前記第1部分は開始アドレスであり、前記第2部分は残りの複数のアドレスであり、前記第1部分は第1命令待ち行列を識別し、前記第2部分は前記複数の非結合命令待ち行列のうちの複数の残りの命令待ち行列を識別するステップと、(2) 前記更新待ち行列に結合され、マルチプランチヒストリーテーブルの前記更新待ち行列からの前記レコードを受信し、将来使用するため、前記レコードの前記部分を、前記マルチプランチヒストリーテーブルの場所であって、前記レコードの前記第1部分により決定された場所にストアするステップと、(3) 前記プロセッサからの命令アドレスを事前アドレスレジスタで受信するステップであって、前記レコードの前記前にストアされた第2部分の前記マルチプランチヒストリーテーブルからの読み出しをイネーブルにし、前記前にストアされた第2部分が前記プロセッサにより受信されるステップと、(4) 前記事前取り出しアドレスレジスタからの前記命令アドレスを、前記マルチプランチヒストリーテーブルからの前記読み出しとともに保留予想待ち行列にストアするステップであって、前記命令アドレスは、前記読み出を有するとともに、前記プロセッサにより前に実行された複数の非結合命令系列を識別する複数のアドレスよりなるステップと、(5) 前記ヒストリのレコードと前記更新待ち行列により受信された前記レコードとを比較器で比較し、しかも、前期保留予想待ち行列からの前記ヒストリのレコードと、前記更新待ち行列により受信された前記レコードとが一致しない場合にのみ、前記待ち行列により受信された前記レコードを前記更新待ち行列にストアすることができるシグナルを供給するステップとを備えたことを特徴とする方法。

【0057】15) 上記14)に記載の方法において、(6) 前記プロセッサからの前記命令アドレスと、前記マルチプランチヒストリーテーブルからの前記読み出しの部分とを受信するステップと、(7) 前記プロセッサからの前記命令アドレスか、あるいは前記読み出しの前記部分のいずれかを選択するステップと、(8) 前記選択を前記事前取り出しアドレスレジスタに経路指定するステップとをさらに備えたことを特徴とする方法。

【0058】16) 上記15)に記載の方法において、前記読み出しの前記部分は、前記プランチを行う命令のうちのちょうど1つの目標アドレスであることを特徴とする方法。

【0059】一般的に、 n 個のプランチグループを同時に予測しつつ事前取り出しを行うため、MBHTエントリは n 個のプランチの系列についての情報を提供する。さらに、 n 個以下のMBHT機構は並列に探索される。 n 個のプランチよりなる幾つかの部分集合に対して、プランチグループ当たり1個のMBHTである。並列探索は、複数のテーブルが予測されたストリーム内のダイバ

一ゼンスを示すとき、早期回復機構を提供する。

【0060】本発明は、3つの主な実施例を含む。(1)第1の実施例は1重多重プランチ予測装置に関するものであり、この装置により、1サイクルで複数のプランチグループを予測することができ、誤った予測を早期に検知することができる。(2)第2の実施例は、n重多重プランチ予測装置に関するものであり、この装置により、n個のプランチ命令の多重性を同時に予測することができ、誤った予測を早期に検知し、同様に、誤った予測を訂正することができる。(3)第3の実施例は2重多重予測装置に関するものであり、この装置により、予測したストリーム内のダイバーゼンスを検知することができ、しかも、そのストリーム内でリダイレクション(訂正)を行うことができる。

【0061】第3の実施例、すなわち、2重多重プランチ予測装置の構造およびオペレーションを要約して説明する。その2重多重プランチ予測装置は、同時に、複数のプランチ命令を予測する。その装置はスーパースカラープロセッサの命令キャッシュに結合されている。その装置による予測を用いて、その命令キャッシュに置かれる命令のプランチグループが取り出される。

【0062】2重多重プランチ予測装置は、次の要素を含む。すなわち、1次事前取り出しアドレスレジスタと、1次多重プランチヒストリーテーブルと、2次多重プランチヒストリーテーブルと、比較器と、更新待ち行列とを含む。

【0063】1次多重プランチヒストリーテーブルは第1の複数プランチ命令の目標アドレスを、第1の複数のプランチ命令の実行ヒストリに基づき、同時に予測する。

【0064】2次多重プランチヒストリーテーブルは、1次多重プランチヒストリーテーブルに対して少なくとも1プランチ命令だけ遅れる。2次多重プランチヒストリーテーブルは、第2の複数のプランチ命令の目標アドレスを、第2のプランチ命令の実行ヒストリに基づき、同時に予測する。さらに、2次多重プランチヒストリーテーブルを用いて、1次多重プランチヒストリーテーブルにより行われる予測のダイバーゼンスを検査する。

【0065】比較器は1次多重プランチヒストリーテーブルに結合され、しかも、2次多重プランチヒストリーテーブルに結合されている。比較器は1次多重プランチヒストリーテーブルによる予測と、2次多重プランチヒストリーテーブルによる予測とを比較し、ダイバーゼンスを検知する。

【0066】最後に、更新待ち行列は1次多重プランチヒストリーテーブルに結合され、しかも、2次多重プランチヒストリーテーブルに結合されている。更新待ち行列を用いて、1次多重プランチヒストリーテーブルと2次多重プランチヒストリーテーブルの実行ヒストリを、スーパースカラープロセッサにより実行されるプランチ命令の系列の結果に基づき更新する。

【0067】要約すると、本発明の主な特徴は、未来プランチの多重性を同時に予測し、複数未結合プログラムセグメントの同時取り出しを可能にすることである。プランチの多重性を予測することは、命令レベルの並列性に対する現制限を克服するために不可欠である。このことにより、コンピュータの最大処理速度が著しく速くなる。例えば、上記"Single Instruction Parallelism is Greater Than Two"に記載があるように、サイクル当たり2ないし5.8命令を実行するという現制限が除去され、考案したサイクル当たり17ないし1165命令まで拡張される。

【0068】さらに、本発明は、正確でないプランチ予測のダイバーゼンスを検知し、ペナルティを課すことなくこのようなダイバーゼンスを訂正する。

【0069】本発明の上記目的および他の目的、特徴、および効果は、本発明の実施例の記述によりさらに明らかになるであろう。

【0070】

【実施例】

20 用語の定義

次に用語およびその用語に対応する意味を示す。

【0071】プランチアドレス プランチ命令が駐在するアドレス

目標アドレス プランチ時に制御が渡されるアドレス

プランチグループ アドレスが順次アドレスである命令の系列。すなわち、非結合系列である。各プランチグループはプランチ目標命令から開始され、第1の行われたプランチに対して順次であり、かつ、第1の行われたプランチを含む全ての命令を継続する。

【0072】非結合 プログラム記憶領域内の順次記憶場所に必ずしも全てが駐在しない命令のグループをいう。

【0073】トリプル 3つの行われたプランチ、3つのプランチグループの系列、または、順番に実行される3つのプランチグループの開始アドレスの系列を用いるのに用いられる一般的な用語。

【0074】BWG(branch-wrong-guess) プランチ予測機構がプランチ命令の結果を誤って予測するときの事象。

【0075】定常状態オペレーション 全ての予測が実行時に実際行われたプランチに対応する場合のオペレーション。

【0076】ENDOP 任意の命令実行の完了を特に言う。

【0077】I. 概観

本発明に係る実施例が3つある。第1の実施例は1重多重プランチ予測装置に関するものであり、第2の実施例はダイバージェンス検知およびリダイレクションを行う

50 n重多重プランチヒストリ装置に関し、第3の実施例は

ダイバージェンス検知およびリダイレクションを行う2重多重プランチ予測装置に関する。

【0078】「本発明を実行するための最良のモード」の次にはappendixセクションがある。appendix Aは、2重多重プランチ予測装置のサイクルごとのオペレーションを示すテーブルである。

【0079】プランチグループはそのアドレスが順次アドレスである命令の系列である。すなわち、非非結合系列である。プランチグループの第1命令はプランチ目標命令である。プランチ命令により、命令順序付けはあるプランチグループから次のプランチグループに飛越す。

【0080】各プランチグループはプランチ目標命令から開始し、第1行われたプランチを含むことができる目標命令に対して順次である全ての命令を継続する。そのプランチグループを終結するプランチは、新しいプランチグループに飛越すか、あるいは、同一のプランチグループ開始アドレスに飛越す。一般的な複数命令系列は一連のプランチグループを備えている。すなわち、一般的な複数命令系列は一連の非非結合命令系列を備えている。

【0081】図1は本発明がオペレートするコンピュータをベースとする環境を示す高レベルブロック図である。図1を説明する。スーパスカラプロセッサ（「プロセッサ」）203は、各処理サイクルで、複数命令をデコードし実行することができる。従来例では、各サイクルでデコードすることができる命令の数は、プランチグループ内の命令の数に制限された。本発明は、以下に説明するが、この制限を取り除いている。

【0082】長い複数命令系列は複数プランチグループを一般的に含む。各サイクルでの長い複数命令系列のデコーディングを維持するため、各系列の構成要素プランチグループを取り出すことが必要である。そのため、命令バスはプランチグループ全体を取り出させるほど充分に広くなければならない。さらに、構成要素プランチグループを記憶装置の非結合場所から同時に取り出さなければならないので、マルチポートキャッシュ202は複数非結合命令取り出しを並列にサービスするのに必要である。マルチポートキャッシュ202の構造およびオペレーションは当業者に周知である。

【0083】本発明の第1の好ましい実施例は、マルチプランチ予測装置201の例である。マルチプランチ予測装置201はプランチグループに結合された複数プランチをサイクルごとに予測する。また、マルチプランチ予測装置201はマルチポートキャッシュ202からのこれらプランチグループの取り出しを開始する。

【0084】プロセッサ203がプログラムを開始するか、あるいは、BWG(branch-wrong-guess)から回復すると、プロセッサ203はリスタートアドレスをアドレスバス214に供給する。これは、処理される命令ストリームの第1プランチグループの開始アドレスである。そ

の開始アドレスはマルチポートキャッシュ202に伝送されるとともに、アドレスバス214を介してマルチプランチ予測装置201に伝送される。

【0085】第1プランチグループはn（nは整数である）本の命令バスのうちの1本の命令バスを介してプロセッサ203によりマルチポートキャッシュ202から取り出される。これらn本のバスはそれぞれ単一のサイクルでプランチグループ全体を伝送することができる。すなわち、バス212は極端に広域的な結合を提供する。

【0086】第1プランチグループがマルチポートキャッシュ202から取り出されている間、バス214上のリスタートアドレスを用いて、マルチプランチ予測装置201の参照(look-up)に影響を与える。マルチプランチ予測装置201は第1プランチグループの後に来るn個のプランチグループを予測する。マルチプランチ予測装置201は単一のサイクルでn個のグループを全て予測する。そして、各グループの開始命令アドレスをn本のアドレスバス211を介してマルチポートキャッシュ202に供給する。

【0087】マルチプランチ予測装置201と、マルチポートキャッシュ202と、プロセッサ203は、バイブラインを構成することに注意すべきである。上述した第1サイクルでは、第1プランチグループがマルチポートキャッシュ202から取り出され、一方、次のn個のプランチグループがマルチプランチ予測装置201により予測される。第1プランチグループはバス212のうちの1つのバスを介してプロセッサ203に伝送される。次のn個のプランチグループのアドレスは、n本のアドレスバス211を介してマルチポートキャッシュ202に伝送される。

【0088】第2サイクルでは、第1プランチグループの命令がプロセッサ203によりデコードされ、一方、次のn個のプランチグループが全てマルチポートキャッシュ202から同時に取り出される。これらn個のプランチグループはバス212を介してプロセッサ203に伝送される。同時に、マルチプランチ予測装置201は反復し次のn個のプランチグループを予測する。

【0089】第3サイクルおよびその後の各サイクルでは、n個のプランチグループがプロセッサ203により同時にデコードされる。n個のプランチグループのサイクル当りのデコーディング率は、マルチプランチ予測装置201がプランチの予測を誤ったか否かをプロセッサ203が判定するまで、維持される。このとき、プロセスは、第1サイクルに関して上述したように、新しい命令をリスタートさせる。

【0090】プロセッサ203が命令の実行を完了すると、完了したプランチの情報をプランチ完了待ち行列204に置く。プロセッサ203は各サイクルでのn個のプランチの系列の情報を待ち行列化することができる。

プロセッサ 203 はその情報を n 本のバスを介してプランチ完了待ち行列 204 に伝送する。

【0091】プランチ完了待ち行列（待ち行列）204 は、情報を FIFO(first-in-first-out) で待機解除する。待ち行列 204 は $2n$ 個のエントリを保持することができなければならない。一連の $n+1$ 個のエントリは、単一のプランチの後に n 個の連続プランチグループが来ることを表すことに注意すべきである。そのため、 $n+k$ 個のエントリが待ち行列化されたときは、常に、それらのエントリにより、 $n+1$ 個のプランチグループのうちの $k-1$ 個の系列が記述される。

【0092】 $n+k$ 個のエントリが待ち行列化されたときは、常に、 $n+1$ 個のタブルのうちの関連する $k-1$ 個の系列が $2n$ 本のバス 215 のうちの部分集合を介してマルチプランチ予測装置 201 に転送される。転送が完了した後、待ち行列 204 は全体的に右に $k-1$ 桁だけシフトされる。その結果、 $k-1$ 個の最も古いエントリは破棄される。待ち行列のオペレーションは当業者に周知である。

【0093】要約すると、図 1 は n 個のプランチグループが各サイクルで予測される場合を示す。第 1 の好ましい実施例では、 $n=2$ に対して、すなわち、サイクルごとに 2 つのプランチを予測するマルチプランチ予測に対する特定の実施例に対して、マルチプランチ予測装置のオペレーションを詳細に説明した。 $n=2$ というポイントは本発明をデモンストレートする最も簡単な例として選択される。しかし、これが限度でないことは当業者にとって当然のことである。

【0094】II. プログラム例のシーケンス

図 2 は典型的なプログラムをシンボリックに示す。このプログラムはプランチグループを含む。プランチグループはそれぞれ行われたプランチで終了する順次命令の short グループである。各行われたプランチにより、新しいプランチグループの最初に飛越す。

【0095】例えば、シンボリックアドレス A から開始し、 n 個の命令を含むプランチグループが存在する。そのプランチグループの最後の命令は、シンボリックアドレス B から開始される新しいプランチグループに go する行われたプランチである。

【0096】アドレス B からの b 個の命令のオフセットには、アドレス C に行われる条件付きプランチが存在する。あるいは、条件付き命令は次の順序命令にフォールスルー (fall through) することができる。その条件付きプランチがフォールスルーする場合、アドレス B から $n-1$ 個の命令（アドレス x に移動される）分のオフセットに無条件プランチが存在する。

【0097】このプログラムの他のプランチには次のものがある。すなわち、アドレス D から開始されるプランチグループから、アドレス E から開始されるプランチグループまで。アドレス X から開始されるプランチグル

ープから、アドレス Y から開始されるプランチグループまで。アドレス E から開始されるプランチグループから、アドレス A から開始されるプランチグループまで。アドレス Y から開始されるプランチグループから、アドレス A から開始されるプランチグループまで。アドレス C から開始されるプランチグループから、アドレス D から開始されるプランチグループまで。

【0098】既に述べたように、本実施例は $n=2$ である場合の例である。本装置のこの記述では、2 個のプランチはサイクルごとに予測される。そして、この例の場合、値 $(n+1)$ -タブルは 3- タブルであり、トリプル (triple) と呼ばれている。図 2 の右端カラムは、左カラムのプログラムが実行されたときに生じるプランチグループのトリプルに関係するアドレスをリストアップしたものである。

【0099】例えば、リストアップされた第 1 のトリプルは ABC である。このトリプルは、アドレス A から開始されるプランチグループの後に、アドレス B および C からそれぞれ開始される一連の 2 つのプランチが来ることを表す。第 2 トリプルは B の後に C および D がそれぞれ来ることを表す。図示のトリプルの場合、アドレス B+ b の条件付きプランチは、その最初の 3 つの実行で行われ、次の 3 つの実行では行われず、そして、再び行われるものと仮定する。そのため、プログラムフローは 3 回の反復で ABCDE となり、その後の 3 回の反復で ABXY となり、その後、再び、ABCDE となる。このことは、トリプル ABC は ABX に変更され、トリプル BCD は 3 回の反復で BXYY に変更され、ついで、両トリプルは元に戻される。残りのトリプル、すなわち、CDF, DEA, EAB, XYA, および YAB は変更されない。

【0100】マルチプランチ予測装置の次の記述は図 2 の例を用いてそのオペレーションを説明する。

【0101】III. 1 重マルチプランチ予測装置

図 3 はサイクルごとに 2 つのプランチを予測することができる 1 重マルチプランチ予測装置のブロック図を示す。これは本発明を説明する最も簡単な装置である。この装置は、単一のテーブルを有するので「1 重」と呼ばれている。この装置の単一のテーブルはマルチプランチヒストリーテーブル (MBHT) 401 と呼ばれる。

【0102】MBHT 401 の各エントリは 2 つのプランチグループの系列についての情報を含む。MBHT 401 からの 2 つの出力 411 および 412 は対になってい。第 1 の出力 411 は第 1 プランチグループを記述し、BG1 で表す。第 2 の出力 412 は第 2 プランチグループを記述し、BG2 で表す。

【0103】各プランチは 2 つのアドレスにより特徴付けられる。例えば、BG1 は 1 対のアドレス BA1 および TA1 を備えている。第 1 のアドレスはプランチ命令のアドレス、すなわち、BG1 である。第 2 のアドレス

は対応する目標命令のアドレス、すなわち、TA1である。複合エントリ<BG1, BG2>は4つのアドレスを含み、対応するトリプルの第1のアドレスにより決定されるテーブルの場所にストアされる。図3のBG1およびBG2は、図1の命令アドレスIANに対応する。

【0104】例えば、図2のプログラムはトリプルABCを含む。このトリプルの実行により、エントリがMBHT401に作成されるであろう。そのエントリの場所はアドレスAにより決定されるであろう。この特定のプログラムの場合、トリプルABCに対応するエントリのフィールドは、

BA1 = A + na - 1; TA1 = B; BA2 = B + b; TA2 = C
である。

【0105】図2を説明する。MBHT401がアドレスAを用いて継続して探索される場合、このエントリが見付かれる。この探索を、組み合わせロジックを用いてPFAR402に保持されたアドレスと、MBHT401のエントリのアドレスフィールドと比較して、インプリメンツすることができる。そのエントリは、アドレスA + na - 1に行われたブランチ(アドレスBにgoする)が存在し、アドレスB + bに別の行われたブランチ(アドレスCにgoする)が存在することを示す。従って、そのエントリは、AからBに遷移するとともに、BからCに遷移することを表すのに充分な情報を含む。すなわち、そのエントリは、トリプルABCを実行するのに充分な全命令の場所を正確に記述する。

【0106】図3に示すように、MBHT401は直接マッピングされるが、MBHT401をセットアソシエイティブ構造体としてインプリメンツすることができるることは当然である。このようなインプリメンテーションは工業では至極当然である。さらに、このような構造体内には、必ずしも全てのBA1をストアする必要がないことは当然のことである。むしろ、BA1の一部を用いてその構造体内でエントリが突き止められる。よって、その一部はその場所に対して暗黙(implicit)である。さらに、BA2はTA1からのshortオフセットであることが分かっているので、BA2をオフセットとして表すことができることは、ルーティニア(routineer)にとって明らかである。これらは、テーブル空間のエコノミと関連しなければならない全てのインプリメンテーショントレードオフである。これらトレードオフはどれも本発明にとって主要なものではない。MBHT401は事前取り出しあドレスレジスタ(PFAR)402のアドレスに基づき探索される。MBHT401が読み取られているとき、セレクタ403はPFAR402のアドレスをMBHT401のアドレス入力端子413に経路指定する。PFAR402のアドレスは命令系列の開始アドレスである。そして、対応するエントリがMBHT401で見付け出された場合、出力BG1 411およびBG2 412は、命令系列で次の来るものと確信されるブラン

チグループのアドレスである。

【0107】エントリがMBHT401で見付け出された場合、信号線410, 411, および412上のアドレストリプルは、ブランチグループの予測されたトリプルを表す。予測されたトリプルは保留予想待ち行列404上に待ち行列化される。ただし、そのトリプルは不要な更新をフィルタリングするために継続して用いられる。

【0108】図1から分かることであるが、トリプルは10 ブランチ完了待ち行列204からマルチブランチ予測装置201にバス215を介して伝送される。これらのバス215は図3に示す信号線414, 415, および416としてマルチブランチ予測装置215に入る。すなわち、図3に入るこれらのバスはブランチグループトリプルのアドレスを伝送する。

【0109】完了されたトリプルがバス414, 415, および416上に到達すると、比較器はそれらのトリプルと、保留予想待ち行列404の予測されたトリプルとを比較する。保留予想待ち行列404が信号線411, 415, および416上にそれらのアドレスがある

20 完了したトリプルを含まないことを、比較器405が判定した場合、トリプルはMBHT401に知られていないことを推測し、しかも、比較器405からの活動化信号417を受信した後、更新待ち行列406上に、到達トリプルを待ち行列化する。保留予想待ち行列404が信号線414, 415, および416上の完了したトリプルを比較器405が含まない場合、対応するエントリが保留予想待ち行列404から削除され、到達トリプルは更新待ち行列406上に待ち行列化されない。

【0110】更新待ち行列406に待ち行列化されたエントリがある場合は、それらのエントリは、MBHT401が探索されないサイクルで、MBHT401に伝送される。これらのエントリを転送するには、セレクタ403はトリプルの第1アドレスをMBHT401のアドレス入力端子413に経路指定する。そして、トリプルの残りのアドレスはそれらのエントリがストアされたMBHT401のデータ入力端子419および420を介してMBHT401に経路指定される。

【0111】定常状態オペレーションでは、全予測が訂正され、図3の装置が動作する。すなわち、ブランチトリプルが正確に予測される限り、各トリプル412の第3アドレスはセレクタ407(このセレクタは2:1マルチブレクサとして動作する)を介して経路指定され、次のサイクルでMBHT401を探索するため、その第3アドレスが開始アドレスとして用いられるPFAR402にロードされる。

【0112】図1から分かるように、プロセッサ203はプログラムを開始するか、あるいは、BKGから回復するとき、リストアアドレスをアドレスバス214上に供給する。このバス214はマルチブランチ予測装置

201に接続され、図3に示すSTART入力端子408に対応する。図3を説明する。START入力端子408は処理される命令ストリームの第1プランチグループの開始アドレスである。

【0113】そのため、パワーオンシーケンスの後か、あるいは、BWGの後に、セレクタ407がセットされ、START入力端子408をPFAR402に経路指定する。一度、その装置がスタートアップすると、定常状態オペレーションで既に述べたように、セレクタ407が切り換えられ、出力412をPFAR402に経路指定する。（切り換えは種々の方法で行われる。例えば、プロセッサは図1に示すように制御信号をリストアアドレスバス214を介してセレクタ407に送信する。他の方法も可能であり、当業者には既に明らかであろう。）例えば、図2のプログラムが図3の装置と対話するときの図2のプログラムを考察する。図2のプログラムがアドレスA（受信アドレスAであるべきである）から開始されると、セレクタ407により、ATART入力端子408からPFAR402にロードされる。MBHT401が探索される。そして、トリプルABCがMBHT401にストアされ、出力411および412がそれぞれアドレスDおよびEを生成するものと仮定する。

【0114】第3サイクル（クロックサイクルまたはプロセッササイクル）では、PFAR402にアドレスEがロードされ、上述したようにオペレーションが継続し、連続したサイクルで、出力対AB, CD, EA, BC等を生成する。定常状態オペレーションは、BWGが存在するまで継続する。BWGの後、その装置はSTART入力端子408からリストアされる。そのオペレーションの詳細な説明は、MBHT401の更新を含めて、この後のセクションで行う。

【0115】IV. n重マルチプランチ予測装置

本発明は、信頼できる多重予測を行うために提供される2つの要素を備えている。第1に、明らかのことであるが、多重予測装置はプランチ予測の多重性を同時に提供する。本発明のこの態様は既に前のセクションで述べた。第2に、多重予測機構が正確に信頼できる程度にパフォームするには、その装置はプランチ予測の多重性のダイバーゼンスを検知しつつ訂正するための要素を含むべきである。

【0116】プランチの態様を過去のヒストリに基づき予測する装置は、エラーがほとんどなく予測することができるが、完全にはできない。同時に1つのプランチを予測する装置では、予測誤りにより精度が容易に低下する。多重予測機構では、その精度は予測される系列の長さに対して幾何級数的に低下する。すなわち、予測誤りを行うと多重予測機構に多大な影響を与える。

【0117】図3を参照してこれまでに説明したことには、n=2すなわち1重の場合の装置に限定したが、その装置は第2の予測されたプランチのダイバーゼンスを予

測する能力はない。図3を次のように一般化することができる。すなわち、〈BA1, TA1〉, 〈BA2, TA2〉, …, 〈BAn, TAn〉のn個のアドレス対を含むために、MBHT401のエントリを拡張してサイクルごとにn個の予測を行う装置に一般化することができる。このように一般化しても、依然として、予測されたルータブル内のダイバーゼンスを検知する能力に欠ける。

【0118】図4は汎用のn重マルチプランチ予測装置のブロック図を示す。これはサイクルごとにn個の予測10を行い、しかも、n個の予測をそれぞれ検知し訂正する手段を提供する。図4は本発明の要素を遂行する最も汎用的なインプリメンテーションを示す。

【0119】図4は図3に示すマルチプランチ予測装置のn個のコピーを含む。それらの装置はそれぞれ上述したn個の同時予測を行うように拡張される。

【0120】特に、図4のブロックMBHTn, …, MBHT2, MBHT1は、図3に示す装置を含む。n個のアドレス対を含むため、MMBHT401のエントリが拡張される。さらに、セレクタ407を除去するとともに、その装置からのフィードバックバス412を除去し、しかも、1次入力408を直接PFAR402に経路指定して、図3の装置を図4で用いるように修正する。この入力408は適正な方法で図4の残りの回路によりドライブされる。図4に示すn重マルチプランチ予測装置の動作を次に説明する。

【0121】図1から分かるように、プロセッサ203がプログラムを開始するか、あるいはBWGから回復されると、プロセッサ203はリストアアドレスをアドレスバス214に供給する。マルチプランチ予測装置201に行くこのバス214は、図4のSTART入力端子510である。これは、処理される命令ストリームの第1のプランチグループの開始アドレスである。

【0122】そのため、パワーオンシーケンスの後か、あるいは、BWGの後に、セレクタ501はセットされ、START入力510を、MBHTn502に含まれる（図示しない）PFARに経路指定する。一度、その装置がスタートアップすると、セレクタ501が切り換えられ、出力命令アドレスIAN511をMBHTn502に経路指定する。その結果、そのテーブルは図3で述べたように自己ドライブ型(self-driven)になる。

【0123】MBHTn502は「1次マルチプランチヒストリーテーブル」と呼ばれる。その役割は、n個のプランチであるという予測を前の予測よりさらに深く命令ストリームに入れることである。これは、第n番目の予測された命令アドレスIAN511が各サイクルで1次テーブル502の入力に経路指定されて戻されるからである。

【0124】1次MBHT502がプランチの予測を決して誤らない場合、n-I個の残りのMBHTとセレクタ50は必要ではない。すなわち、図3は図4の全ハードウェ

ア(ただし、入力セレクタ501と1次MBHT502を除く)を除去することにより図4から直接得ることができる。n-1個の残りのMBHTと図4の選択ロジックにより、早期に予測され、しかも、1次MBHT予測装置502から予測されるブランチ系列のダイバーゼンスが訂正される。

【0125】図4の出力はルータブルの予測された命令アドレス512であり、IA1, IA2, ..., IA_nのラベルが付されている。命令アドレスIA_n 511はルータブルのn番目のアドレスである。命令アドレスIA_n 511を用いて、上述したように、1次MBHT502をドライブする。n-1個の残りの命令アドレスは異なる2次MBHTをドライブする。

【0126】例えば、命令アドレスIA1 513は2次MBHT1 503をドライブする。IA1 513の元のソースは1次MBHT502により予測されたルータブルの第1のブランチ目標アドレスであることに注意すべきである。2次テーブルMBHT1 503の出力は、IA1 513に連続すると予測されるブランチ目標アドレスのルータブルである。

【0127】同時に、命令アドレスIA2 514は2次MBHT504をドライブする。IA2 514の元のソースは1次MBHT502により予測されたルータブルの2次ブランチ目標アドレスである。2次テーブルMBHT2 502の出力は、IA2 514に連続すると予測されたブランチ目標アドレスのルータブルである。

【0128】比較器(CMP2)505は、アドレスIA2 514と、2次MBHT1 503の第1命令アドレス出力515と比較する。2次MBHT1 503はIA1 511によりドライブされるので、その第1命令アドレス出力515は1次MBHT502により予測されるように、IA2 514と同一にすべきであることを思い出して欲しい。

【0129】すなわち、MBHT1 503の第1出力515は、BMHT_n 502の第2出力と同一にすべきである。

【0130】同様に、MBHT1 504の第1出力516は、BMHT_n 502の第3出力と同一にすべきである。このことが比較器506により判定される。n-1個の2次MBHTはそれぞれ比較器を有し、これらの比較器により、関連する2次MBHTにより予測されたルータブルの第1出力アドレスと、1次MBHT502により前のサイクルで予測されたルータブルの適正なアドレスとが比較される。全MBHTが一貫性のある情報を含む場合、比較器の全出力により、全アドレスが一致することが示される。

【0131】比較器のなかに一致しないものがある場合、その比較器と関連する2次MBHTは、1次MBHT502と矛盾する情報を含む。このとき、2次MBH

Tの情報は正しいものと仮定され、1次MBHT502の情報は正しくないと仮定される。

【0132】この仮定は、部分的には、このサブセクションの第3パラグラフで行った議論に基づくものである。すなわち、各テーブルの第1出力は、本来、第k(それぞれ連続している)出力より正確である。2次MBHTの場合、それぞれ、適正な出力と比較されるのは、第1出力であって、1次MBHT502の第1出力ではない。従って、誤って比較した場合には、2次MBHTには1次MBHTより高い優先順位が与えられる。

【0133】エンコーダ507は誤って比較をしたか否かを判定する。誤って比較をしない場合、エンコーダ出力518により、セレクタ508は1次MBHT502の出力をレジスタ509に経路指定する。レジスタ509には次のサイクルで用いるため1次MBHT502の出力がストアされる。

【0134】誤った比較がちょうど1つだけある場合、エンコーダ507により、セレクタ508は関連する2次MBHTの出力をレジスタ509に経路指定する。例えば、比較器505はMBHT503の第1出力が前のサイクルで予測したIA1 513と同一でないと判定した場合、MBHT1 503の出力をセレクタ508を介してレジスタ509に経路指定する。

【0135】誤った比較が複数個ある場合、誤って比較するMBHTのうちの第1MBHTに優先順位が与えられる。というのは、そのMBHTは、予測されたストリームのダイバーゼンスの第1のポイントを示すからである。2次MBHTのうちの第1MBHTは、図4に示すように、右端のテーブルである。例えば、比較器505および506が両方とも誤って比較したことを示す場合、エンコーダ507はMBHT1 503に優先順位を与えることになる。

【0136】選択されたルータブルを保持するレジスタ509がn個のMBHTのPFARに関して冗長であることに注意すべきである。すなわち、レジスタはn個のPFAR内容を保持する。このレジスタは図中に存在する必要はないが、その後のサイクルで行われる予測を明確に区別する方法を示す。

【0137】また、図4に示す"UPDATES"入力519は完全をきするため含まれる。これはバスの集合であり、これらのバスを用いて、実行された(n+1)-タブルをMBHTにストアするために伝送する。すなわち、これらは図1に示すバス215である。更新オペレーションはこのサブセクションでは説明していないが、前のサブセクションで説明した。また、次のサブセクションでさらに詳しく説明する。

【0138】2次MBHTは2つの機能を有する。第1には、ルータブルの第1アドレス出力は、1次MBHTにより予測されたルータブルのダイバーゼンスを検知する手段を提供する。たとえば、MBHT1 503の出

力515はIA2 514と比較され、1次MBHT502により予測された第2アドレスがダイバージされるか否かを判定する。

【0149】2次MBHTにより提供された第2機能は、第1アドレスが1次MBHTからの関連するアドレスと一致しない場合に、ルータブルと置換することができる機能である。例えば、MBHT1 503は、ルータブル515の第1アドレスが1次MBHT502からのIA1 514と一致しない場合、ルータブル出力512を供給する。

【0140】すなわち、2次MBHTの第1アドレス出力がダイバーゼンスを検知し、残りのn-1個のアドレスがそのダイバーゼンスを直ちに訂正する。そのため、最後のn-1個のアドレスは、ダイバーゼンス検知のみを必要とするインプリメンテーションでは必要でない。一度、ダイバーゼンスが検知されると、その後のサイクルで、1次MBHT502によりダイバーゼンスの訂正を行うことができる。インプリメンテーションをより経済的であるが、僅かに遅くした場合、そのインプリメンテーションは単一のアドレスのみを出力する2次MBHTを有することになるであろう。

【0141】その設計の面では、2次MBHTの幾つかを削除することになる。すなわち、ルータブルのダイバーゼンスをプランチごとに検知する必要はなくなる。2プランチごとにダイバーゼンスを検知するだけで充分である。このことは、全くコストパフォーマンスとのトレードオフに過ぎない。汎用のk重多重予測装置はk < nから構成される。K = 1である場合、ダイバーゼンスの検知はない。

【0142】情報は全て同一のプロセッサから来るので、理論的には、全てのMBHTは全く同一の情報を含むべきであることに注意すべきである。このようになっている場合は、誤って比較することは全くなく、しかも、2次MBHTは必要でない。実際、MBHTは有限であり、セット一結合を制限したし、パーティング等を制限した。異なったMBHTは全く同一の情報をストアすることができなくなる。さらに、実行されたストリームの中断に起因して、実行されたストリームのプランチを誤って予測するので、不完全な情報が更新バス519上に出力されることになる。すなわち、不完全なタブルをMBHTの幾つかにストアすることは、賢明なことである。特に、2次MBHTが全n-タブルをストアしない場合は、上述したようにそうである。実際には、MBHTは全く同一の情報を含まない。情報の相違の程度はインプリメンテーションに依存する。

【0143】図5は多重予測の高レベルのロジックフローを示す。ステップ601では、新しい命令系列の第1アドレスを用いて、1次MBHTを探索する。この探索の結果、n個の予測アドレスが生成される。これらn個のアドレスが次の3つのステップ602、603、およ

び604により同時に用いられる。

【0144】ステップ602にて、前のステップ601により予測されたルータブルの最後のアドレスは、1次MBHTの次の探索で用いられる、すなわち、第1ステップ601の次のサイクルで用いられる次の開始アドレスとしてステージングされる。同時に、ステップ603にて、残りのn-1個のアドレスを用いて、2次MBHTを探索する。また、同時に、ステップ604にて、前のステップ601にて予測されたn個のアドレスを用いて、n個の命令ストリームを取り出し、プロセッサによる実行のためにステージングする。

【0145】判定ステップ605にて、前のステップ603にて獲得された2次MBHTの出力は、前のステップ601にて1次MBHTから獲得された出力と比較される。予測されたストリームに矛盾がある場合は、次の開始アドレスがステップ606にて変更される。次の開始アドレスは、ステップ605にて判定した結果、相違するMBHTのうちの第1MBHTにより予測されたアドレスである。

【0146】一方、ステップ607にて、プロセッサは、前のステップ604にて取り出された命令ストリームをデコードし実行する。プランチを実際に実行した結果、前のステップ601にて予測されたプランチの系列と相違する場合、次の開始アドレスが、処理ステップ607の実際に実行された系列により判定される。アドレスの置換が必要な場合は、選択ステップ608にて行われる。

【0147】最後のステップ608にて選択されたアドレスを用いて、プロセスを最初のステップ601からリスタートする。

【0148】V. 2重マルチプランチ予測装置
セクションIIIでは、多重予測を詳細に説明した。1重多重予測は最も簡単な多重予測であるが、ダイバーゼンス検知およびリダイレクションという態様を含まない。セクションIVでは、n重多重予測の概要を説明した。これは充分なダイバーゼンス検知と訂正を含む最も総称的な多重予測機構である。

【0149】このセクションでは、2重多重予測を詳細に説明する。2重多重予測は1重予測の最も簡単な例である。すなわち、詳細に説明できる程度に簡単であるが、ダイバーゼンス検知を説明するには非常に複雑である。

【0150】図6はサイクルごとに2つのプランチを予測することができる2重多重予測装置のブロック図を示す。これは予測された対の第2のプランチのダイバーゼンスを検知しつつ訂正することができる。

【0151】図6は図3に示す1重多重予測機構の2つのコピーと、ダイバーゼンス検知のために用いられる比較器718と、予測されたストリームをリダイレクトするのに用いられる2つのセレクタ709および710と

を含む。2つの1重多重予測機構は、それぞれ、1次および2次マルチプランチヒストリーテーブル、すなわち、PMBHT701およびSMBHT711と呼ばれる。

【0152】図3と図6とを比較して、異なるMBHTの要素を明らかにするのは有用である。第1に、図3の実際のMBHT401は2つのMBHT、すなわち、上述したが、図6には701および711として図示されている。図3のMBHT401を探索するために用いられるPFAR402は、図6には、1次および2次PFARとして図示され、それぞれ、PFAR702およびPFAR712とラベルが付されている。図3のセレクタ403は、図6では、セレクタ703および713である。図3の保留予想待ち行列(pending guess queue)404は、それぞれ、図6では、1次および2次保留予想待ち行列704および714として図示されている。図3の保留予想待ち行列に関連する比較器は、図6では、2つの比較器705および715として図示されている。最後に、図3の更新待ち行列406は、図6では、1次および2次更新待ち行列706および716として図示されている。図3の開始入力セレクタ408は、図6の開始入力セレクタ708と同一である。1次MBHTのみがこのセレクタから入力を受信する多重予測の議論を思い出して欲しい。図6の新しいハードウェアは、既に述べた比較器718と、2つのセレクタ709および710である。次に、図6に示す装置の動作を説明する。

【0153】図1から分かるように、プロセッサ203はプログラムを開始するか、あるいはBWGから回復するとき、リスタートアドレスをアドレスバス214上に供給する。マルチプランチ予測装置201に行くこのバス214は、図6に示すSTART入力719である。これは、処理される命令ストリームの第1プランチグループの開始アドレスである。

【0154】そのため、パワーオンシーケンスの後か、あるいは、BWGの後に、セレクタ708がセットされ、START入力719をPPFAR702に経路指定する。一度、その装置がスタートアップされると、セレクタ708が切り換えられ、出力726をPPFAR702に経路指定し、定常状態動作を行う。

【0155】定常状態動作では、2重マルチプランチ予測装置、すなわち、BG1-725の第1アドレス出力は、SPFAR712にロードされる。SPFAR712では、第1アドレス出力を用いて、2次MBHT711をその後のサイクルでドライブする。それと同時に、装置BG2-726の第2アドレス出力がPPFAR702にロードされる。PPFAR702では、その第2アドレス出力を用いて、1次MBHT701をその後のサイクルでドライブする。

【0156】第2アドレス726を用いて、1次MBHT701をドライブすることにより、1次MBHT70

1は、最後に予測された対の前に2つのプランチをステーさせることができる。すなわち、1次MBHT701はサイクルごとに2つの新しいプランチを予測する。第1アドレス725を用いて2次MBHT711をドライブすることにより、2次MBHT711は、1プランチだけ1次MBHT701より遅れる。

【0157】そのため、2次MBHT711の第1出力723は、前のサイクルからの1次MBHT701の第2出力722と一致すべきである。しかし、前のサイクルからの1次MBHT701の第2出力722は、そのサイクルの終りでPPFAR702にストアされた。そのため、比較器718は2次MBHT711の第1出力723からのアドレスと、PPFAR702のアドレスとをサイクルごとに比較する。

【0158】これらのアドレスが一致するか否かを比較器718が判定する限り、1次MBHT701は引き続き2重マルチプランチ予測装置をドライブする。特に、比較器718により、セレクタ709および710は、それぞれ、2重マルチプランチ予測装置700の出力725および726を経路指定する。上述したように、第1出力725を用いて2次MBHT711がドライブされることになり、第2出力726を用いて1次MBHT701をサイクルごとにドライブすることになる。

【0159】そのため、2次MBHT711の第1出力723は、前のサイクルからの1次MBHT701の第2出力722と一致すべきである。しかし、前のサイクルからの1次MBHT701の第2出力722は、PPFAR702にそのサイクルの終りでストアされることに注意すべきである。そのため、比較器718は、2次MBHT711の第1出力723からのアドレスと、PPFAR702のアドレスをサイクルごとに比較する。

【0160】これらのアドレスが一致するか否かが比較器718により判定される限り、1次MBHT701は2重マルチプランチ予測装置を引き続きドライブする。特に、比較器718により、セレクタ709および710は、1次MBHT701からの出力721および722を、2重マルチプランチ予測装置700のそれぞれの出力725および726に経路指定する。上述したように、第1出力725を用いて2次MBHT711をドライブすることになる。しかも、第2出力726を用いて1次MBHT701を次のサイクルでドライブすることになる。

【0161】2つのアドレスが一致していないことが比較器718により判定された場合、2次MBHT711は2重マルチプランチ予測装置を次のサイクルでドライブすることになる。特に、比較器718により、セレクタ709および710は2次MBHT711からの出力723および724を、2重マルチプランチ予測装置700のそれぞれの出力725および726に経路指定する。

【0162】これが、2重マルチプランチ予測装置70の動作の基本的な記述である。テーブルPMBHT701およびSMBHT711と共にバス(S1, S2, S3)727からのプランチグループトリプルの情報がロードされる。

【0163】テーブルPMBHT701およびSMBHT711の更新は、1重マルチプランチ予測装置400で説明したように行われる。非常に簡単に言うと、MBHT701, 711が予測すると、その予測を保留予想待ち行列704, 714に記録する。実行されたトリプルがバス727に到達すると、それらのトリプルは保留予想待ち行列706, 716の予測されたトリプルと比較される。実際のトリプルが予測されたトリプルと一致しない場合、実際のトリプル更新待ち行列706, 716に置かれる。更新待ち行列のエントリは遊休サイクルの間にMBHT701, 711に書き込まれる。

【0164】理論的には、MBHT701および711が共に無限に大きい無限連想テーブルである場合で、しかも、全トリプルを完全かつ適正に受信リストアする場合、2次MBHT711は必要ではない。実際には、MBHT701および711は必ずしも一貫性のある情報を含むわけではないので、予測されたストリームにダイバーゼンスが生じる。

【0165】VI. 2重マルチプランチ予測機構の動作例
このセクションでは、図2に示すプログラムがランしている間の図7に示す装置の動作を詳細に説明する。プログラムフローでは、図2において、アドレスB+ b のプランチ命令が最初の6回の反復でとられるが、その後はとられないものと仮定する。そして、実行されるプランチグループは、ABCDEの6回の反復であり、その後のABXYの複数回の反復である。

【0166】図6は、構成要素待ち行列の正確な動作や、プロセッサバイオペレーションの正確な動作を伝える程詳細ではないことに注意すべきである。これらの正確な作業により、装置の動作の正確な方法を判定するので、作業を指定することが必要である。言い換えると、待ち行列は一般的に図6で参照され、しかも、特定のアプリケーションシステムのためにカスタマイズすることができる。正確な規則のうちの任意の集合を指定することができる、しかも、正確な集合はその装置の一般的な動作を変更することができる。しかし、基本的な発明は依然として変わらない。

【0167】説明のため、次の8つの規則が異なるカテゴリで用いられる。

【0168】プロセッサバイオペレーションの動作

- 規則1—プランチ命令が実行されたとき、その目標アドレスが、そのプランチの実際の実行サイクルで命令取り出しのためにステージングされる。

- 規則2—プランチグループは実行サイクル直後のサイクルで実行されたと考えられる。すな

わち、プランチグループを実行して完了された任意のトリプルS1, S2, S3は、プランチグループの実行直後のサイクルで2重多重予測装置に送信されることになる。

【0170】・ 規則3—1次MBHT705がミス(miss)されたサイクルで2次MBHT711がヒット(hit)される場合、2次MBHT711の出力がステージングされ、次のサイクルで命令をドライブする。

【0171】更新待ち行列の管理とMBHTの更新

10 規則4—重複エントリが更新待ち行列706, 716に置かれるのを阻止するものと仮定する。例えば、1次更新待ち行列706がトリプルABCを含み、しかも、トリプルABCの新しいコピーが更新待ち行列727に到達する場合、その新しいコピーは1次更新待ち行列707に置かれない。これは、エントリABCが1次保留予想待ち行列704にないとしても、その新しいコピーは1次更新待ち行列707に置かれない。

【0172】・ 規則5—プロセッサ203が2つのプランチグループを同時に実行すると、その結果、一般的には、2つのトリプルが2重多重予測装置700に同時に伝送される。更新待ち行列706, 716がサイクルごとに1つのトリプルのみを処理することができるものと仮定し、しかも、第2トリプルを保持するバッファはないものと仮定する。そして、2つのトリプルが同時に到達した場合は、第1のトリプルは1次更新待ち行列706にのみ送信され、第2のトリプルは2次更新待ち行列716にのみ送信される。

【0173】・ 規則6—名目上は、MBHT701, 711がサイクルごとに探索され、しかも、探索と同時に更新を行うことができない。そのため、更新待ち行列7-6, 716の更新が結局MBHT701, 711に置かれることを保証するため、ミスした後のサイクルで1つのサイクルに対して、更新に優先順位が与えられる。

【0174】保留予想待ち行列の管理

- 規則7—トリプルS1, S2, S3が更新バス727に到達し、かつ、保留予想待ち行列704, 714の全エントリと比較されると、少なくとも1つが保留予想待ち行列704, 714で一致した場合、最も古いエントリが削除され、そのエントリより古い全てのエントリは40その待ち行列から削除される。

【0175】・ 規則8—プランチが不正確に予想されたことがプロセッサ203により発見されたとき、保留予想待ち行列704, 714のエントリは全て削除される。

【0176】APPENDIX Aはサイクル(最初の56サイクルのオペレーション)ごとの図6に示す2重多重予測装置700のオペレーションを示す。2重多重予測装置700は、上記の規則を条件として、図2のプログラムをランしている。右端のカラムは0から始まり、55まで50のサイクルの番号を示す。残りのカラムには4つの主要

な区分がある。カラムの第1のセットはスーパスカラブロセッサ203内のフローと、マルチポートキャッシュ内のフローを示す。アドレスステージのカラムは次のサイクルで取り出すためステージングされた命令アドレスを示す。キャッシュアクセスのカラムはそのサイクルの間に取り出されたプランチグループを示す。プロセッサオペレーションは2つのカラムに示す。すなわち、コードおよび実行のカラムに示す。これらのカラムは対応するサイクルの間にデコードされ実行されるプランチグループを示す。ENDOPグループトリブルは2つのカラムを示す。というのは、上記規則5によれば、サイクルごとにENDOPするトリブルが2つ存在することができるからである。ENDOPトリブルは、上記規則3によれば、トリブルの最後のプランチグループの実行の後のサイクルで現れる。

【0177】カラムの残りの3つの区分は、2重マルチプランチ予測装置700内の資源を示す。それらの区分のうちの2つは1次MBHT701と2次MBHT711に対するものである。これら2つの区分の間の比較器のカラムは、2次MBHT711の第1出力と、PPFAR702の内容とを比較したときの比較器718(図6に示す)のオペレーションを示す。PPFAR702は名目上は前のサイクルからの1次MBHT701の第2の出力を含む。

【0178】各MBHT701, 711のオペレーションは1つのMBHTに対して7つのカラムで詳細に示す。それらのカラムのうちの第1のカラムはPFAR702, 712であり、MBHT701, 711を探索するのに用いるアドレスを示す。次の2つのカラム、すなわち、BG1 721, 723と、BG2 722, 724は、PFAR702, 712の内容を用いて、MBHT701, 711を探索した結果の2つの出力である。出力721, 722、および723, 724は、それぞれ、PFAR702, 712をロードした後のサイクルで利用可能である。残りの4つにカラムは4つの待ち行列704, 706, 714, 716のオペレーションを示す。

【0179】保留予想待ち行列704, 714と、更新待ち行列706, 716に対して、待ち行列に置かれるエントリを示す待ち行列化カラムと、待ち行列から離れるエントリを示す待機解除カラムがある。典型的には、対応するMBHT701, 711出力が現れるサイクルで、トリブルが保留予想待ち行列に待ち行列化される。トリブルがプロセッサ203でENDOPすると、保留予想待ち行列704, 714からの一致したエントリの待機が同一のサイクルで解除される。一致したエントリがない場合、ENDOPトリブルが上記規則5により更新待ち行列706, 716に待ち行列化される。すなわち、MBHT701, 711ごとに1つのトリブルが待ち行列化される。

【0180】MBHT701, 711が更新を受け取ると、更新が行われる同一のサイクルで、対応するエントリが保留予想待ち行列704, 714から待機解除される。ENDOPトリブルが受信されたとき、MBHT701, 711が遊休状態である場合、そのトリブルは、MBHT701, 711が更新されると、効率的に、同時に待ち行列化されかつ待機解除される。このことは、APPENDIX Aの待ち行列化カラムおよび待機解除カラムと共にトリブルをカッコで囲んで示す。例えば、APPENDIX 10 Aの2次更新待ち行列カラムのサイクル#7を参照されたい。

【0181】この例のフローでは、プログラムの第1プランチグループには開始アドレスAがある。そのフローは命令取り出しを述べたサイクル#0で命令アドレスAから開始される。また、ステージングを行って命令を取り出すアドレスを用いて、1次MBHT701を探索し、サイクル#0でPPFAR702にアドレスAがロードされる。この例では、MBHT701, 711は、共に、MBHT701, 711内の有効なエントリから開始されないと仮定する。

【0182】サイクル#1にて、キャッシュがアクセスされ、ついで、アドレスAのプランチグループが取り出される。また、1次MBHT701の出力は利用可能になる。MBHT701は空であるので、探索してもミスする。PBG1 721およびPBG2 722カラムを参照されたい。ミスがない場合は、マルチプランチ予測装置700は命令取り出しのドライブを開始せず、しかも、適正なバイブラインのフローは比較的遅く処理されなければならない。

【0183】サイクル#2にて、プランチグループAがデコードされ、サイクル#3にて、そのプランチグループAがプロセッサ203により実行される。上記規則3により、Aのサイクルのうちの実行にて、すなわち、サイクル#3にて、BがAの後継者になることが分かる。そのため、Bというアドレスはアドレスステージに置かれ、しかも、サイクル#3にてPPFAR702にロードされる。

【0184】MBHT701, 711が依然空であるので、BはAの場合と全く同一の方法でバイブラインを通過する。1つの例外は、Bがサイクル#6にて実行し、その後継者がCとなると、そのラン(run)の第1のトリブルを表すことである。すなわち、系列ABCが発見される。そのため、上記規則2により、トリブルABCがサイクル#7のENDOPで現れる。これが唯一のENDOPトリブルであるので、規則5と関係なく、しかも、トリブルABCはサイクル#7にMBHT701, 711に送信される。

【0185】前のサイクルでアドレスCに対して探索がステージングされるので、1次MBHT701がサイクル#7にてビジーであることに注意すべきである。そのため、

め、到達トリプルABCはサイクル#7にて1次更新待ち行列706に置かれる。1次探索はサイクル#7にてステージングされないので、1次MBHT701がサイクル#8にて更新に対して利用可能になる。出力カラムは"Update-ABC"とサイクル#8にてラベルが付され、更新アクティビティを示す。ABCは、更新が行われるとき、更新待ち行列から待機解除されことに注意すべきである。また、規則6により、サイクル#7にてミスがあるので、サイクル#7にて、PPFAR702がロードされた場合、その更新に探索より優位の優先順位が与えられることに注意すべきである。

【0186】2次MBHT711に対する探索が1次MBHT701のnビットに対してのみ生成され、しかも、1次ヒットがないので、2次MBHT711はサイクル#7にて遊休状態である。そのため、到達トリプルABCは直ちに2次MBHT711にサイクル#7にてストアされる。出力カラムはサイクル#7にて"Update-ABC"とラベルが付され、更新を示す。また、上述したように、トリプルABCはカッコで囲んで、同時に2次更新待ち行列116に待ち行列化されかつ待機解除されることを示す。このような表記を用いて、エントリABCはそのサイクルの終りに待ち行列にはないが、エントリがその待ち行列にとどまるべきか否かを判定するサイクルの間、その待ち行列はビジーであることを伝える。

【0187】プランチグループを実行し、ENDOPトリプルを用いてMBHT701, 711を更新することは、サイクル#15まで、同一の方法で継続される。サイクル#15では、プランチグループA, B, C, D, およびEが全て実行され、トリプルABC, BCD, およびCDEが発見され、両テーブルにエンタされる。サイクル#15では、Eが実行されると、Eの後継者としてAが発見される。アドレスAがステージングされて命令取り出しが行われ、しかも、このサイクルで、PPFAR702にロードされる。

【0188】このとき、アドレスAを用いて1次MBHT701を探索することにより、サイクル#16でヒットし、しかも、その出力がそれぞれBおよびCになる。このヒットは上述したサイクル#8にてトリプルABCをストアした結果である。そのヒットにより、アドレスBおよびCがステージングされ、命令取り出しが行われ、アドレスCがPPFAR702にロードされ、アドレスBがサイクル#16にてSPFAR712にロードされる。また、そのヒットは、系列ABCが来る(upcoming)という予想が行われることを表す。そのため、トリプルABCが1次保留予想待ち行列704に置かれる。

【0189】サイクル#17にて、1次MBHT701がアドレスCを用いて探索された結果は、出力対DおよびEである。これらのアドレスはステージングされ、次の命令を取り出し、しかも、トリプルCDEが1次保留予想待ち行列704に待ち行列化される。2次MBHT7

11をアドレスBを用いて探索した結果は、出力対CおよびDである。第1出力CはPPFAR702の内容(Cである)と比較されるが、訂正アクションは行われない。PPFAR702にEがロードされ、しかも、P FAR712にDがロードされる。

【0190】トリプルEABはまだ生じていないので、1次MBHT701がアドレスEにて探索した結果、サイクル#8にてミスが生じる。これは、1次更新待ち行列706のトリプルDEAが、規則6により、サイクル#19にて1次MBHT701にエンタされることを保証する。アドレスDでの2次MBHT701を探索することにより、出力対EおよびAが生じる。1次ミスがあるので、2次テーブルの出力を用いて、規則3により、命令取り出しをドライブする。2次テーブルは、命令取り出しの前に、1つのプランチグループのみをステー(stay)するので、单一の取り出しAのみがサイクル#18にてステージングされ、AはPPFAR702にロードされる。規則6により行われる更新に起因して、Aでの探索が1サイクルだけ遅延されるので、AはこのサイクルにてPPFAR712にカッコで囲んで示されることに注意すべきである。

【0191】サイクル#19にて、プロセッサ203はプランチグループの第1同時対、すなわち、BおよびCを実行する。1次MBHT711はトリプルDEAを用いて更新され、PPFAR702は引き続きアドレスAを保持する。2次MBHT711が遊休状態にあるので、2次MBHT711がこのサイクルでENDOPすると、更新するため直ちにトリプルFABを受け取る。1次MBHTがトリプルDEA更新中であるので、新しく到達したトリプルEABが更新待ち行列706, 716に待ち行列化される。

【0192】サイクル#20にて、2つのトリプルABCおよびBCDは同時にENDOPする。第1トリプルABCは1次MBHT701に送信され、しかも、第2トリプルBCDが規則5により2次MBHT711に送信される。1次MBHT701にて、トリプルABCが保留予想待ち行列204で発見される。トリプルABCは1次MBHT701が既にトリプルの知識を有することを示す。その結果生じるアクションは、規則7により、ABCの1次保留予想待ち行列704での待機が解除される。同様に、2次MBHT711にて、トリプルBCDが保留予想待ち行列714にて発見される。トリプルBCDは2次MBHT711が既にトリプルの知識であることを示す。その結果生じるアクションは規則7によりBCDの2次保留予想待ち行列714での待機が解除される。

【0193】サイクル#21にて、2つのトリプルCDEおよびDEAは同時にENDOPする。サイクル#20でのアクションと同様のセットが生じ、その結果、CDEの保留予想待ち行列での待機が解除され、しかも、DE

Aの2次保留予想待ち行列7 1 1での待機が解除される。アドレスAがサイクル#21にてPPFAR7 0 2にロードされる。

【0194】サイクル#22にて、アドレスEでの1次MBHT7 0 1を探索した結果はミスである。ENDOPトリプルEABがサイクル#19にて生じ、しかも、更新待ち行列7 0 6に存在するが、1次MBHT7 0 1はサイクル#15から充分に利用され、しかも、EABの更新はまだ行われないことに注意すべきである。したがって、1次MBHT7 0 1はアドレスEでミスする。規則6は更新が次のサイクルで行われることを保証することに注意すべきである。これは、規則6を有するからか、あるいは規則6のようなものを有するからである。

【0195】サイクル#23にて、1次MBHT7 0 1がEABを用いて更新される。このサイクルから後は、5つのトリプルABC, BCD, CDE, DEA, およびEABが両テーブルにより示され、命令取り出しが定常状態に到達する。マルチプランチ予測装置7 0 0は次の1 1サイクルの間にサイクルごとに2つの取り出しへ正常に開始し、しかも、プロセッサはサイクル#27-#34の間にサイクルごとに2つのプランチグループを実行する。

【0196】サイクル#34にて、プランチグループの第7実行が生じ、しかも、今度は、後継者がXになるが、最初の6つの実行の場合のようにCではない。これは不正確なプランチ予測を表し、パイプラインがサイクル#5にてリスタートされる。

【0197】アドレスXのステージングを行い命令取り出しを行い、パイプラインの残りをクリアし、保留予想待ち行列7 0 4, 7 1 4をクリアし、しかも、MBHT7 0 1, 7 1 1の出力7 2 1, 7 2 2, 7 2 3, 7 2 4を抑制することにより、サイクル#35のリスタートが行われる。この抑制は、APPENDIX Aの出力をカッコが囲むことにより表される。パイプラインは系列A, B, X, Y等の処理を開始し、ついで、2つのMBHT7 0 1, 7 1 1が結局新しいトリプルを用いて更新される。

【0198】注目すべき点はサイクル#42である。このサイクルでは、1次MBHT7 0 1は、AがBおよびCの後にくることを忘れない。Cは最早実際の系列の一部ではないことに注意すべきである。しかしながら、命令取り出しへはCのためにステージングされ、しかも、PPFAR7 0 2にCがロードされる。一方、SPFAR7 1 2にBがロードされる。

【0199】サイクル#43にて、2次MBHT7 1 1はBの後にXおよびYが来ることを示す。比較器7 1 8はダイバーゼンスを検知し、2次MBHT7 1 1出力7 2 3, 7 2 4に従って命令取り出しをリダイレクトする同一のダイバーゼンスが再びサイクル#48にて検知されることに注意すべきである。これは、実際のトリプルABXがまずサイクル#35にてトリプル対の第2トリプルと

してENDOPされるからである。規則5による待ち行列の帯域幅制限により、このトリプルを1次MBHT7 0 1に送信することができない。トリプルABXはまず1次MBHT7 0 1にサイクル#46にて伝送されるが、1次MBHT7 0 1がビジーであるので、APPENDIXのこのトリプルを用いて更新されることはない。

【0200】1次MBHT7 0 1はサイクルごとに前もって2つのプランチグループを予測するので、しかも、系列A, B, X, およびYが4つのプランチグループを含むので、1次MBHT7 0 1は第2のリダイレクションの後にトリプルABXについて知る必要はない。サイクル#48から先、1次MBHT7 0 1がアドレスYおよびBでのみ探索されるが、このフローで、1次MBHT7 0 1が再びトリプルBAXに遭遇することはない。

【0201】サイクル#48から先は、再び、命令取り出しが、サイクル当たり2つのプランチグループの定常状態レートでヒットする。サイクル#51から先は、プロセッサ実行はサイクル当たり2つのプランチグループの定常状態レートでヒットする。以上でこの例の説明を終了する。

【0202】以上、本発明の実施例を説明したが、本発明の精神および範囲を逸脱することなく、種々の変更を行えることは当業者にとって当然である。

【0203】

【表1】

APPENDIX

表2	表3	表4
表5	表6	表7

【0204】

【表2】

クロック サイクル	スーパスカラ プロセッサ 203					
	命令取り出し		プロセッサ		ENDOP トリブル	
	アドレス ストップ	キャッシュ ストップ	デコード	実行	トリブル 1	トリブル 2
0	A	-	-	-	-	-
1	-	A	-	-	-	-
2	-	-	A	-	-	-
3	B	-	-	A	-	-
4	-	B	-	-	-	-
5	-	-	B	-	-	-
6	C	-	-	B	-	-
7	-	C	-	-	ABC	-
8	-	-	C	-	-	-
9	D	-	-	C	-	-
10	-	D	-	-	BCD	-
11	-	-	D	-	-	-
12	E	-	-	D	-	-
13	-	E	-	-	CDE	-
14	-	-	E	-	-	-
15	A	-	-	E	-	-
16	B,C	A	-	-	DEA	-
17	D,E	B,C	A	-	-	-
18	A	D,E	B,C	A	-	-
19	-	A	D,E	B,C	EAB	-
20	B,C	-	A	D,E	ABC	BCD
21	D,E	B,C	-	A	CDE	DEA
22	A	D,E	B,C	-	EAB	-
23	-	A	D,E	B,C	-	-
24	B,C	-	A	D,E	ABC	BCD
25	D,E	B,C	-	A	CDE	DEA

【0205】

【表3】

10

20

30

1次MBHT 701							比較器	
	出力		保留予想待ち行列 704		更新待ち行列 706			
PPFAR 702	PBG1 721	PBG2 722	待ち行列化	待機解除	待ち行列化	待機解除		
A	-	-	-	-	-	-	718	
-	miss	miss	-	-	-	-	-	
-	-	-	-	-	-	-	-	
B	-	-	-	-	-	-	-	
-	miss	miss	-	-	-	-	-	
-	-	-	-	-	-	-	-	
C	-	-	-	-	-	-	-	
-	miss	miss	-	-	ABC	-	-	
-	update-ABC	-	-	-	-	ABC	-	
D	-	-	-	-	-	-	-	
-	miss	miss	-	-	BCD	-	-	
-	update-BCD	-	-	-	-	BCD	-	
E	-	-	-	-	-	-	-	
-	miss	miss	-	-	CDE	-	-	
-	update-CDE	-	-	-	-	CDE	-	
A	-	-	-	-	-	-	-	
C	B	C	ABC	-	DEA	-	-	
E	D	E	CDE	-	-	DEA	C=C	
(A)	miss	miss	-	-	-	-	E=E	
A	update-DEA	-	-	-	EAB	DEA	-	
C	B	C	ABC	ABC	-	-	-	
E	D	E	CDE	CDE	-	-	C=C	
(A)	miss	miss	-	-	(EAB)	-	E=E	
A	update-EAB	-	-	-	-	EAB	-	
C	B	C	ABC	ABC	-	-	-	
E	D	E	CDE	CDE	-	-	C=C	

26	A, B	D, E	B, C	-	EAB	-
27	C, D	A, B	D, E	B, C	-	-
28	E, A	C, D	A, B	D, E	ABC	BCD
29	B, C	E, A	C, D	A, B	CDE	DEA
30	D, E	B, C	E, A	C, D	EAB	ABC
31	A, B	D, E	B, C	E, A	BCD	CDE
32	C, D	A, B	D, E	B, C	DEA	EAB
33	E, A	C, D	A, B	D, E	ABC	BCD
34	B, C	E, A	C, D	A, B	CDE	DEA
35	X	clear	clear	clear	EAB	ABX
36	-	X	-	-	-	-
37	-	-	X	-	-	-
38	Y	-	-	X	-	-
39	-	Y	-	-	BXY	-
40	-	-	Y	-	-	-
41	A	-	-	Y	-	-
42	B, C	A	-	-	XYA	-
43	X, Y	B, (C)	A	-	-	-
44	-	X, Y	B	A	-	-
45	-	-	X, Y	B	YAB	-
46	A	-	-	X, Y	ABX	-
47	B, C	A	-	-	BXY	XYA
48	X, Y	B, (C)	A	-	-	-
49	A, B	X, Y	B	A	-	-
50	X, Y	A, B	X, Y	B	YAB	-
51	A, B	X, Y	A, B	X, Y	ABX	-
52	X, Y	A, B	X, Y	A, B	BXY	XYA
53	A, B	X, Y	A, B	X, Y	YAB	ABX
54	X, Y	A, B	X, Y	A, B	BXY	XYA
55	A, B	X, Y	A, B	X, Y	YAB	ABX

[0208]

[表6]

B	A	B	EAB	-	(EAB)	-	E=E
D	C	D	BCD	-	-	-	B=B
A	E	A	DEA	ABC	-	-	D=D
C	B	C	ABC	CDE	-	-	A=A
E	D	E	CDE	EAB	-	-	C=C
B	A	B	EAB	BCD	-	-	E=E
D	C	D	BCD	DEA	-	-	B=B
A	E	A	DEA	ABC	-	-	D=D
C	B	C	ABC	CDE	-	-	A=A
X	(D)	(E)	clear	clear	(EAB)	-	-
-	miss	miss	-	-	-	-	-
-	-	-	-	-	-	-	-
Y	-	-	-	-	-	-	-
-	miss	miss	-	-	BXY	-	-
-	update-BXY	-	-	-	BXY	-	-
A	-	-	-	-	-	-	-
C	B	C	ABC	-	XYA	-	-
Y	(D)	(E)	CDE	-	-	-	X≠C
-	miss	miss	-	-	-	-	-
-	update-XYA	-	-	YAB	XYA	-	-
A	update-YAB	clear	clear	ABX	YAB	-	-
C	B	C	ABC	-	BXY	-	-
Y	(D)	(E)	-	-	-	-	X≠C
B	A	B	UAB	-	-	-	-
Y	X	Y	BXY	YAB	-	-	B=B
Y	A	B	YAB	-	(ABX)	-	Y=Y
B	A	B	YAB	BXY	-	-	B=B
Y	X	Y	BXY	YAB	-	-	B=B
B	A	B	YAB	YAB	-	-	Y=Y
Y	X	Y	BXY	BXY	-	-	B=B

[0209]

[表7]

A	E	A	DEA	-	(EAB)	-
C	B	C	ABC	-	-	-
E	D	E	CDE	BCD	-	-
B	A	B	EAB	DEA	-	-
D	C	D	BCD	ABC	-	-
<hr/>			<hr/>			
A	E	A	DEA	CDE	-	-
C	B	C	ABC	EAB	-	-
E	D	E	CDE	BCD	-	-
B	A	B	EAB	DEA	-	-
-	(C)	(D)	clear	clear	ABX	-
<hr/>			<hr/>			
-	update-EAB	-	-	-	EAB	-
-	update-ABX	-	-	-	ABX	-
-	-	-	-	-	-	-
-	update-BXY	-	-	(BXY)	(BXY)	-
-	-	-	-	-	-	-
<hr/>			<hr/>			
-	-	-	-	-	-	-
B	-	-	-	-	-	-
-	X	Y	BXY	-	XYA	-
-	update-XYA	-	-	-	-	XYA
-	update-YAB	-	-	(YAB)	(YAB)	-
<hr/>			<hr/>			
-	update-ABX	-	-	(ABX)	(ABX)	-
B	update-XYA	-	-	(XYA)	(XYA)	-
-	X	Y	BXY	-	-	-
A	-	-	-	-	-	-
X	B	X	ABX	-	YAB	-
<hr/>			<hr/>			
A	Y	A	KYA	ABX	-	-
A	B	X	ABX	XYA	-	-
X	B	X	ABX	ABX	-	-
A	Y	A	KYA	XYA	-	-
X	B	X	ABX	ABX	-	-

【0210】

【発明の効果】以上説明したように、本発明によれば、上記のように構成したので、同時予測を行うことができる。

【図面の簡単な説明】

【図1】スーパスカラーブロセッサを示すブロック図である。

【図2】分岐グループの系列と、分岐グループトリブルを含むプログラムの一例を示す図である。

【図3】1重多重分岐予測装置を示すブロック図である。

【図4】n重多重分岐予測装置を示すブロック図である。

【図5】多重予測装置の論理フローを示すフローチャー

トである。

【図6】2重多重分岐予測装置を示すブロック図である。

【図7】4ステージバイブレインにおける仮想上の命令フローを示す図である。

【4符号の説明】

201 マルチブランチ予測装置

202 マルチポートキャッシュ

203 スーパスカラーブロセッサ

204 ブランチ完了待ち行列

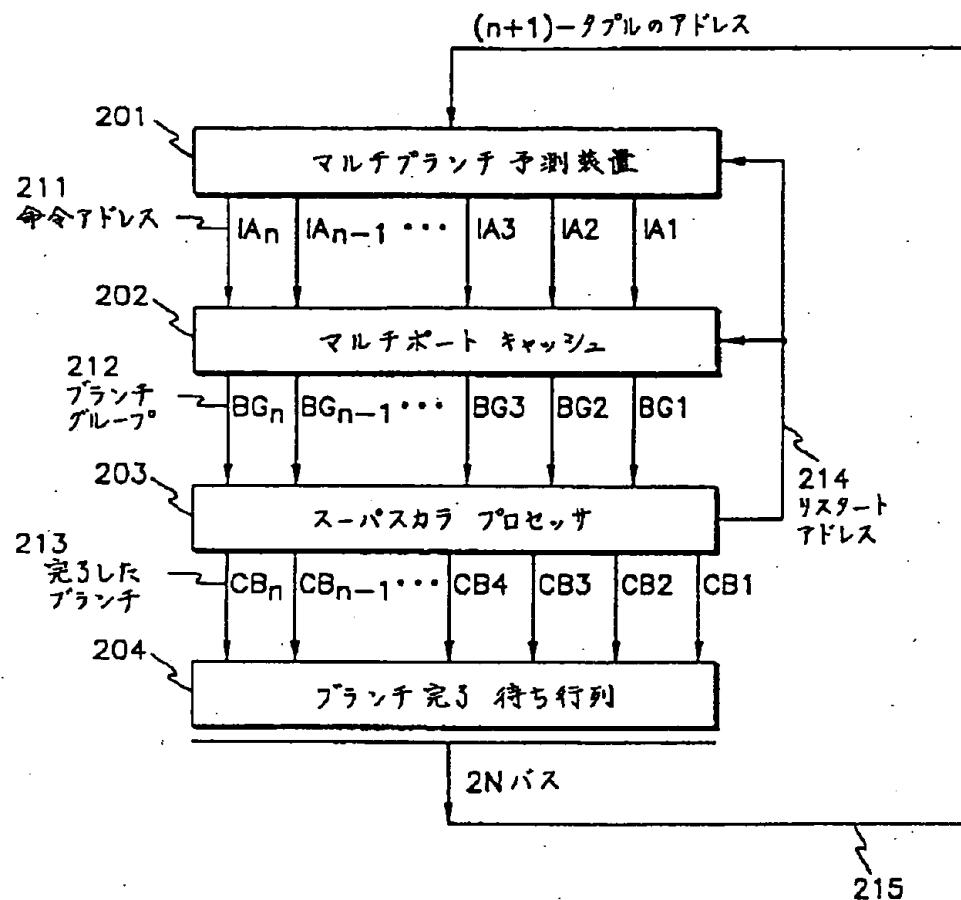
211 命令アドレス

212 ブランチグループ

213 完了したブランチ

214 アドレスバス

【図1】



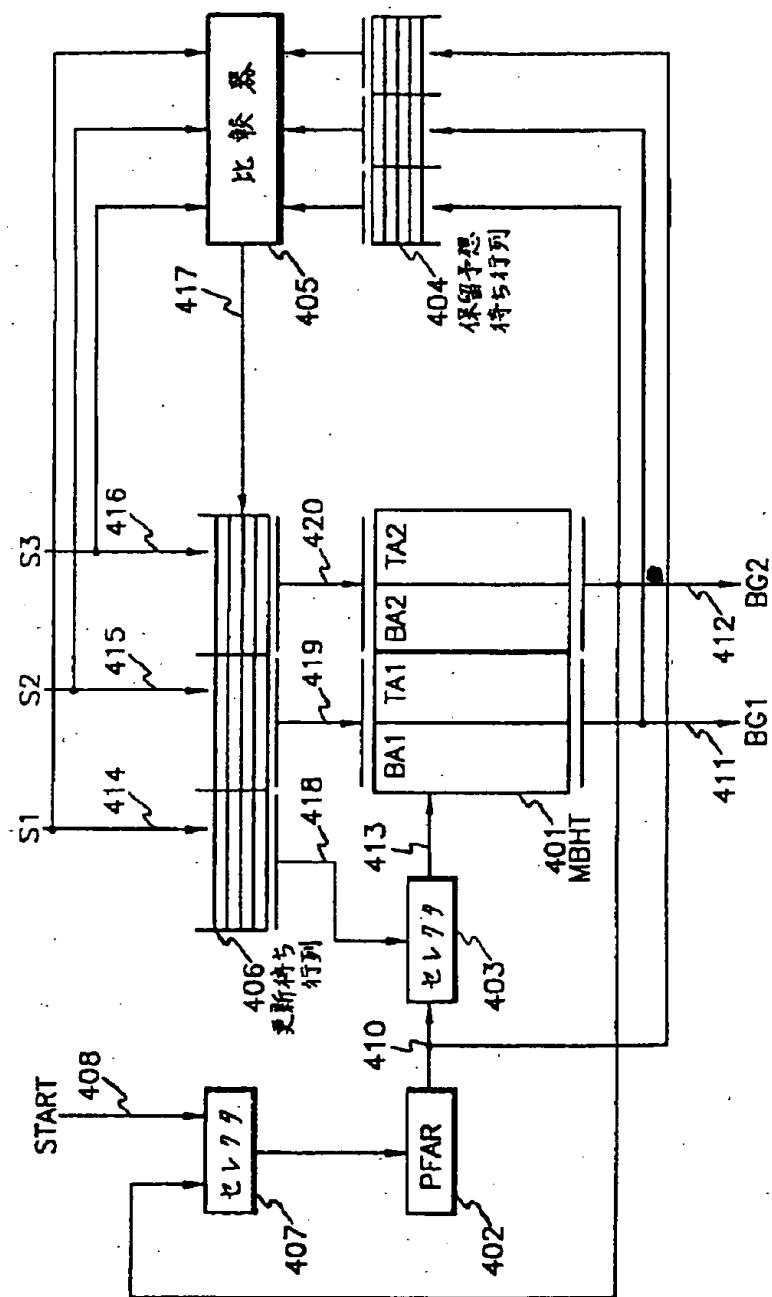
【図7】

	タイマル											
	1	2	3	4	5	6	7	8	9	10	11	
DEC	I1	I2	I3	I4	BR		TARG	J1	J2	J3		
AGEN		I1	I2	I3	I4	BR		TARG	J1	J2		
CACHE			I1	I2	I3	I4	BR		TARG	J1		
EXEC				I1	I2	I3	I4	BR			TARG	

【図2】

シンボリック プログラム		ブランチブレークの実行されたトリップル
アドレス	命令	
A	Instr A0	A B C
A+1	Instr A1	B C D
...	...	C D E
A+n _a -1	Go To B	D E A
...	...	E A B
D	Instr D0	A B C
D+1	Instr D1	B C D
...	...	C D E
D+n _d -1	Go To E	D E A
...	...	E A B
X	Instr X0	A B C
X+1	Instr X1	B C D
...	...	C D E
X+n _x -1	Go To Y	D E A
...	...	E A B
B	Instr B0	A B X
B+1	Instr B1	B X Y
...	...	X Y A
B+b	If <Cond> Go To C	Y A B
...	...	A B X
B+n _b -1	Go To X	B X Y
...	...	X Y A
E	Instr E0	Y A B
E+1	Instr E1	A B X
...	...	B X Y
E+n _e -1	Go To A	X Y A
...	...	Y A B
Y	Instr Y0	A B C
Y+1	Instr Y1	B C D
...	...	C D E
Y+n _y -1	Go To A	D E A
...	...	E A B
C	Instr C0	A B C
C+1	Instr C1	B C D
...
C+n _c -1	Go To D	

【図3】



【図4】

【図5】

【図6】

フロントページの続き

(72)発明者 ヨシュア ウィルソン ナイト
アメリカ合衆国 10547 ニューヨーク州
モヒーガン レイク サガモア アベニ
ュ 3490

(72)発明者 ジェイムズ ハーバート ポメレン
アメリカ合衆国 10514 ニューヨーク州
チャバッックア ノース ペッドフォード
ロード 403

(72)発明者 トーマス アール. ブザック
アメリカ合衆国 06877 コネチカット州
リッジフィールド スクールハウス ブ
レイス 9